

S7 1 PN="60-012761"  
?t 7/5/1

**7/5/1**  
DIALOG(R) File 347:JAPIO  
(c) 2002 JPO & JAPIO. All rts. reserv.

01534261 \*\*Image available\*\*  
PHOTOELECTRIC CONVERSION DEVICE

PUB. NO.: **60-012761** [JP 60012761 A]  
PUBLISHED: January 23, 1985 (19850123)  
INVENTOR(s): OMI TADAHIRO  
TANAKA NOBUYOSHI  
APPLICANT(s): OMI TADAHIRO [000000] (An Individual), JP (Japan)  
APPL. NO.: 58-120753 [JP 83120753]  
FILED: July 02, 1983 (19830702)  
INTL CLASS: [4] H01L-027/14; H01L-029/76; H04N-005/335  
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 44.6  
(COMMUNICATION -- Television)  
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS); R098 (ELECTRONIC MATERIALS -- Charge Transfer Elements,  
CCD & BBD)  
JOURNAL: Section: E, Section No. 318, Vol. 09, No. 126, Pg. 24, May  
31, 1985 (19850531)

#### ABSTRACT

PURPOSE: To obtain the titled device sufficiently responding to high resolution by a method wherein the potential of a control electrode region of floating state providing in a semiconductor transistor is controlled via capacitor, where the potential is then controlled by means of a clamping diode during the action of carrier accumulation, read-out, and refreshing.

CONSTITUTION: An n<sup>-</sup> type layer 5 is epitaxially grown on an n<sup>+</sup> type Si substrate 1 and formed into island form by means of an SiO<sub>2</sub> film 4 for element isolation, the base region 6 of a p type bi-polar transistor is diffusion-formed in the surface layer part of the island-formed layer 5, and an n<sup>+</sup> emitter region 7 is provided therein. Next, after the entire surface of covered with an SiO<sub>3</sub> film 3, an aperture is bored, an Al wiring 8 to lead out signals is connected to the region 7, a floated electrode 9 whereon pulses are impressed via film 3 is provided on the region 6. Besides, an Al collector electrode 12 is adhered to the back surface of a substrate 1 via n<sup>+</sup> type layer 11, and then the surface of the device is irradiated with a light 20 while the potential of the electrode 9 is controlled by the clamping diode via capacitor generating in the element.

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭60—12761

⑬ Int. Cl.<sup>4</sup>  
H 01 L 27/14  
29/76  
H 04 N 5/335

識別記号

厅内整理番号  
6732—5F  
6851—5F  
6940—5C

⑭ 公開 昭和60年(1985)1月23日  
発明の数 1  
審査請求 未請求

(全 37 頁)

⑮ 光電変換装置

⑯ 特 願 昭58—120753  
⑰ 出 願 昭58(1983)7月2日  
⑱ 発明者 大見忠弘

仙台市米ヶ袋2—1—17—301

⑲ 発明者 田中信義

東京都世田谷区松原2の15の13

⑳ 出願人 大見忠弘  
仙台市米ヶ袋2—1—17—301  
㉑ 代理人 弁理士 山下敏平

明細書

1 発明の名称

光電変換装置

2 特許請求の範囲

1 両側電極領域よりなる2側の主電極領域と  
該主電極領域と反対導電型の副側電極領域よりなる  
半導体トランジスタの該側面電極領域を浮遊状態にし、  
該浮遊状態にした側面電極領域の電位を、キャパシタを介して調節することにより、該  
浮遊状態にした側面電極領域に、光により発生したキャリアを蓄積する蓄積動作、蓄積動作により  
該側面電極領域に発生した蓄積電圧を読み出す読み出し動作、該側面電極領域に蓄積されたキャリアを  
消滅させるリフレッシュ動作をそれぞれさせる構成の光電変換装置において、該浮遊状態になされた  
側面電極領域の電位を調節するクランプダイオードを設けたことを特徴とする光電変換装置。

3 発明の詳細な説明

本発明は光電変換装置に関する。

近年光電変換装置に、固体撮像装置に関する  
研究が、半導体技術の進展と共に積極的に行なわ  
れ、一部では実用化され始めている。

これらの固体撮像装置は、大きく分けると C C  
D 型と M O S 型の 2 つに分類される。C C D 撮像  
装置は、M O S キャバシタ電極下にポテンシャルの井戸を形成し、光の入射により発生した電荷をこの井戸に蓄積し、読み出し時には、これらのポ  
テンシャルの井戸を、電極にかけるパルスにより  
順次動かして、蓄積された電荷を山力アンプ部まで転送して読み出すという原理を用いている。また  
C C D 撮像装置の中には、受光部は p n 接合ダ  
イオード構造を使い、転送部は C C D 構造で行な  
うというタイプのものもある。また一方、M O S  
型撮像装置は、受光部を構成する p n 接合よりな  
るフォトダイオードの夫々に光の入射により発生  
した電荷を蓄積し、読み出し時には、それぞれの  
フォトダイオードに接続された M O S スイッチン

グトランジスタを順次オンすることにより蓄積された電荷を出力アンプ部に送出するという原理を用いている。

CCD型撮像装置は、比較的簡単な構造をもち、また、発生し得る雜音からみても、最終段におけるフローティング・ディフュージョンによる電荷検出器の寄生容量だけがランダム雑音に寄与するので、比較的低雑音の撮像装置であり、低照度撮影が可能である。ただし、CCD型撮像装置を作るプロセス的制約から、出力アンプとしてMOS型アンプがオンチップ化されるため、シリコンと、SiO<sub>2</sub>との界面から漏電上、目につきやすいIFI雑音が発生する。従って、低雑音とはいひながら、その性能に限界が存在している。また、高解像度化を図るためにセル数を増加させて高密度化すると、一つのポテンシャル井戸に蓄積できる最大の電荷量が減少し、ダイナミックレンジがそれなくなるので、今後、固体撮像装置が高解像度化されていく上で大きな問題となる。また、CCD型の撮像装置は、ポテンシャルの井戸

を順次動かしながら蓄積電荷を転送していくわけであるから、セルの一つに欠陥が存在してもそこで電荷転送がストップしたり、あるいは、極端に悪くなってしまい、製造歩留りが上がらないという欠点も有している。

これに対してMOS型撮像装置は、構造的にはCCD型撮像装置、特にフレーム転送型の装置に比較して少し複雑ではあるが、蓄積容量を大きくし得る様に構成でき、ダイナミックレンジを広くとれるという優位性をもつ。また、たとえセルの一つに欠陥が存在しても、X-Yアドレス方式のためその欠陥による他のセルへの影響がなく、製造歩留り的には有利である。しかしながら、このMOS型撮像装置では、信号読み出し時に各フォトダイオードに配線容量が接続されるため、きわめて大きな信号電圧ドロップが発生し、出力電圧が下がってしまうこと、配線容量が大きく、これによるランダム雑音の発生が大きいこと、また各フォトダイオードおよび水平スキャン用のMOSスイッチングトランジスタの寄生容量のばらつき

による固定パターン雑音の混入等があり、CCD型撮像装置に比較して低照度撮影はむずかしいこと等の欠点を有している。

また、将来の撮像装置の高解像度化においては各セルのサイズが縮小され、蓄積電荷が減少していく。これに対しチップサイズから決まってくる配線容量は、たとえ線幅を細くしてもあまり下がらない。このため、MOS型撮像装置は、ますますS/N的に不利になる。

CCD型およびMOS型撮像装置は、以上の様な一長一短を有しながらも次第に実用化レベルに近づいてきてはいる。しかし、さらに将来必要とされる高解像度化を進めていくうえで本質的に大きな問題を有しているといえる。

これらの固体撮像装置に關し、特開昭58-150878“半導体撮像装置”、特開昭58-157073“半導体撮像装置”、特開昭58-185473“半導体撮像装置”に新しい方式が提案されている。CCD型、MOS型の撮像装置が、光入射により発生した電荷を主電極（例えばM-Sトランジスタのソ

ース）に蓄積するのに対して、ここで提案されている方式は、光入射により発生した電荷を、制御電極（例えばバイポーラトランジスタのベース、SIT（静電誘導トランジスタ）あるいはMOSトランジスタのゲート）に蓄積し、光により発生した電荷により、流れる電流をコントロールするという新しい考え方にもとづくものである。すなわち、CCD型、MOS型が、蓄積された電荷そのものを外部へ読み出していくのに対して、ここで提案されている方式は、各セルの增幅機能により電荷増幅してから蓄積された電荷を読み出すわけであり、また見方を変えるとインピーダンス变换により低インピーダンス出力として読み出すわけである。従って、ここで提案されている方式は、高出力、広ダイナミックレンジ、低雑音であり、かつ、光信号により励起されたキャリア（電荷）は、制御電極に蓄積することから、非線形挙動しができる等のいくつかのメリットを有している。さらに将来の高解像度化に対しても可能性を有する方式であるといえる。

しかしながら、この方式は、基本的にX-Yアドレス方式であり、上記公報に記載されている素子構造は、従来のMOS型画像装置の各セルにバイポーラトランジスタ、SITトランジスト等の増幅素子を複合化したものであるが、そのため、比較的複雑な構造をしており、高解像化の可能性を有しながらも、そのままでは高解像化には限界が存在する。

本発明は、各セルに増幅機能を有するもきわめて簡便な構造であり、荷米の高解像度化にも十分対応しうる新しい光電変換装置を提供することを目的とする。

かかる目的は、同導電型領域よりなる2個の主電極領域と該主電極領域と反対導電型の副側電極領域よりなる半導体トランジスタの該側電極領域を浮遊状態にし、該浮遊状態にした該側電極領域の電位を、キャパシタを介して調節することにより、該浮遊状態にした該側電極領域に、光により発生したキャリアを蓄積する蓄積動作、蓄積動作により該側電極領域に発生した蓄積電圧を続

出し脱出し動作、該側電極領域に蓄積されたキャリアを削減させるリフレッシュ動作をそれぞれさせる構造の光電変換装置において、該浮遊状態になされた該側電極領域の電位を調節するクランプダイオードを設けたことを特徴とする光電変換装置により達成される。

以下に本発明の実施例を図面を用いて詳細に説明する。

第1図は、本発明の一実施例に係る光電変換装置を構成する光センサセルの基本構造および動作を説明する図である。

第1図(a)は、光センサセルの平面図を、第1図(b)は、第1図(a)平面図のAA'部分の断面図を、第1図(c)は、その等価回路をそれぞれ示す。なお、各部位において第1図(a),(b),(c)に共通するものについては同一の番号をつけている。

第1図では、横列配置方式の平面図を示したが、水平方向解像度を高くするために、西案ずらし方式（補間配置方式）にも配用できることはもちろんのことである。

この光センサセルは、第1図(a),(b)に示すごとく、

リン(P)、アンチモン(Sb)、ヒ素(Ag)等の不純物をドープしてN型又はP型とされたシリコン基板1の上に、通常PSG膜等で構成され

るバセーション層2；

シリコン酸化膜(SiO<sub>2</sub>)より成る絶縁膜化膜3；

となり合う光センサセルとの間を電気的に絶縁するためのSiO<sub>2</sub>あるいはSi<sub>x</sub>N<sub>y</sub>等よりなる絶縁膜4又はポリシリコン膜等で構成される素子分離領域4；

エピクキシャル技術等で形成される不純物濃度の低いn-領域5；

その上の例えば不純物拡散技術又はイオン注入技術を用いてボロン(B)等の不純物をドープしたバイポーラトランジスタのベースとなるp領域6；

不純物拡散技術、イオン注入技術等で形成されるバイポーラトランジスタのエミッタとなるn+領域7；

信号を外部へ統出すための、例えばアルミニウム(Al)、Al-Si、Al-Cu-Si等の導電材料で構成される配線8；

絶縁層3を通して、浮遊状態になされたp領域

6にパルスを印加するための電極 9；

その配線 10；

基板 1 の裏面にオーミックコンタクトをとるために不純物拡散技術等で形成された不純物濃度の高い n<sup>-</sup> 領域 11；

基板の電位を与える、すなわちバイポーラトランジスタのコレクタ電位を与えるためのアルミニウム等の導電材料で形成される電極 12；

より構成されている。

なお、第1図(a)の19はn<sup>-</sup>領域 7と配線 8の接続をとるためのコンタクト部分である。又配線 8および配線 10の交差する部分はいわゆる2層配線となっており、SiO<sub>x</sub>等の絶縁材料で形成される絶縁領域で、それぞれ互いに絶縁されている。すなわち、金属の2層配線構造になっている。

第1図(c)の等価回路のコンデンサ C<sub>ox1</sub> 3は電極 9、絶縁膜 3、n領域 6のMOS構造より構成され、又バイポーラトランジスタ 14はエミッタとしてのn<sup>-</sup>領域 7、ベースとしてのp領域

6、不純物濃度の小さいn<sup>-</sup>領域 5、コレクタとしてのp又はn<sup>-</sup>領域 1の各部分より構成されている。これらの界面から明らかのように、p領域 6は厚巻側になされている。

第1図(c)の第2の等価回路は、バイポーラトランジスタ 14をベース・エミッタの結合容量 C<sub>be1</sub> 5、ベース・エミッタのp-n結合ダイオード D<sub>be1</sub> 6、ベース・コレクタのp-n結合ダイオード D<sub>bc1</sub> 8を用いて表現したものである。

以下、光センサセルの基本動作を第1図を用いて説明する。

この光センサセルの基本動作は、光入射による電荷蓄積動作、放出動作およびリフレッシュ動作より構成される。電荷蓄積動作においては、例えばエミッタは、配線 8を通して接地され、コレクターは配線 12を通して正電位にバイアスされている。またベースは、あらかじめコンデンサー C<sub>ox1</sub> 3に、配線 10を通して正のパルス電圧を印加することにより負電位、すなわち、エミッタ

7に対して逆バイアス状態にされているものとする。このC<sub>ox1</sub> 3にパルスを印加してベースBを負電位にバイアスする動作については、後にリフレッシュ動作の説明のとき、くわしく説明する。

この状態において、第1図に示す様に光センサセルの表面から光 20が入射してくると、半導体内においてエレクトロン・ホール対が発生する。この内、エレクトロンは、n領域 1が正電位にバイアスされているのでn領域 1側に流れだしてしまって、ホールはp領域 6にどんどん蓄積されていく。このホールのp領域への蓄積によりp領域 6の電位は次第に正電位に向かって変化していく。

第1図(a),(b)でも各センサセルの受光面下面は、ほとんどp領域で占られており、一部n<sup>-</sup>領域 7となっている。当然のことながら、光により励起されるエレクトロン・ホール対濃度は表面に近い程大きい。このためp領域 6の中にも多くのエレクトロン・ホール対が光により励起される。p

領域中に光励起されたエレクトロンが再結合することなくp領域 6からただちに流れ出て、n領域に吸収されるような構造にしておけば、p領域 6で励起されたホールはそのまま蓄積されて、p領域 6を正電位方向に変化させる。p領域 6の不純物濃度が均一になされている場合には、光で励起されたエレクトロンは放散で、p領域 6とn<sup>-</sup>領域 5とのp-n結合部まで流れ、その後はn<sup>-</sup>領域に加わっている強い電界によるドリフトでnコレクタ領域 1に吸収される。もちろん、p領域 6内の電子の走行を放散だけで行なってもよいわけであるが、表面から内部に行くほどpベースの不純物濃度が減少するよう構成しておけば、この不純物濃度差により、ベース内に内部から表面に向う電界 E<sub>d</sub>。

$$E_d = \frac{1}{W_0} \cdot \frac{kT}{q} \cdot \ln \frac{N_{A0}}{N_{A1}}$$

が発生する。ここで、W<sub>0</sub>はp領域 6の光入射側表面からの厚さ、kはボルツマン定数、Tは絶対温度、qは単位電荷、N<sub>A0</sub>はpベース領域 6の表面不純物濃度、N<sub>A1</sub>はp領域 6のn<sup>-</sup>表面状態密度

Sとの界面における不純物濃度である。

ここで、 $N_{AS}/N_{AI} > 3$ とすれば、P領域6内の電子の走行は、拡散よりドリフトにより行なわれるようになる。すなわち、P領域6内に光により誘起されるキャリアを信号として有効に動作させるためには、P領域6の不純物濃度は光入射側表面から内部に向って減少しているようになっていることが望ましい。拡散でP領域6を形成すれば、その不純物濃度は光入射側表面にくらべ内部に行くほど減少している。

センサセルの受光面下の一層は、n+領域7により占られている。n+領域7の深さは、通常 $0.2 \sim 0.3 \mu\text{m}$ 程度、あるいはそれ以下に設計されるから、n+領域7で吸収される光の量は、もともとあまり多くはないのでそれ程問題はない。ただ、短波長側の光、特に青色光に対しては、n+領域7の存在は感度低下の原因になる。n+領域7の不純物濃度は通常 $1 \times 10^{18} \text{ cm}^{-3}$ 程度あるいはそれ以上に設計される。こうした高濃度に不純物がドープされたn+領域7におけるホールの

拡散距離は $0.15 \sim 0.2 \mu\text{m}$ 程度である。したがって、n+領域7内で光誘起されたホールを行効にP領域6に流し込むには、n+領域7も光入射表面から内部に向って不純物濃度が減少する構造になっていることが望ましい。n+領域7の不純物濃度分布が上記の様になっていれば、光入射側表面から内部に向う強いドリフト境界が発生して、n+領域7に光誘起されたホールはドリフトによりただちにP領域6に流れ込む。n+領域7、P領域6の不純物濃度がいずれも光入射側表面から内部に向って減少するように構成されれば、センサセルの光入射側表面側に存在するn+領域7、P領域6において光誘起されたキャリアはすべて光信号として有効に働くのである。As又はPを高濃度にドープしたシリコン酸化膜あるいはポリシリコン膜からの不純物拡散により、このn+領域7を形成すると、上記に述べたような望ましい不純物界面をもつn+領域を得ることが可能である。

最終的には、ホールの書類によりベース電位は

エミッタ電位まで変化し、この場合は接地電位まで変化して、そこでクリップされることになる。より厳密に言うと、ベース・エミッタ間が順方向に深くバイアスされて、ベースに蓄積されたホールがエミッタに説明し始める電圧でクリップされる。つまり、この場合の光センサセルの低電位は、最初にP領域6を負電位にバイアスしたときのバイアス電位と接地電位との電位差で略々与えられるわけである。n+領域7が接地されず、浮遊状態において光入力によって発生した電荷の蓄積を行なう場合には、P領域6はn+領域7と略々同電位まで電荷を蓄積することができる。

以上は電荷蓄積動作の定性的な概略説明であるが、以下に少し具体的かつ定量的に説明する。

この光センサセルの分光感度分布は次式で与えられる。

$$S(\lambda) = \frac{\lambda}{1.24} \cdot \exp(-\alpha x) \\ \times [1 - \exp(-\alpha y)] \cdot T \quad (\text{A/W})$$

但し、 $\lambda$ は光の波長 [ $\mu\text{m}$ ]、 $\alpha$ はシリコン結晶中の光の減衰係数 [ $\mu\text{m}^{-1}$ ]、 $x$ は半導体表面

における、再結合損失を起こし感度に寄与しない“dead layer”(不感領域)の厚さ [ $\mu\text{m}$ ]、 $y$ はエビ層の厚さ [ $\mu\text{m}$ ]、 $T$ は透過率すなわち、入射してくる光束に対して反射等を考慮して行動に半導体中に入射する光束の割合をそれぞれ示している。この光センサセルの分光感度  $S(\lambda)$  および放射照度  $E_e(\lambda)$  [ $\mu\text{W} \cdot \text{cm}^{-2} \cdot \text{nm}^{-1}$ ] は次式で計算される。

$$I_p = \int_{\lambda_1}^{\lambda_2} S(\lambda) \cdot E_e(\lambda) \cdot d\lambda \quad [\mu\text{A}/\text{cm}^2]$$

但し放射照度  $E_e(\lambda)$  [ $\mu\text{W} \cdot \text{cm}^{-2} \cdot \text{nm}^{-1}$ ] は次式で与えられる。

$$E_e(\lambda) = \frac{E_v \cdot P(\lambda)}{6.80 \int_{\lambda_1}^{\lambda_2} V(\lambda) P(\lambda) \cdot d\lambda} \quad [\mu\text{W} \cdot \text{cm}^{-2} \cdot \text{nm}^{-1}]$$

但し  $E_v$  はセンサの受光面の照度 [ $\text{Lux}$ ]、 $P(\lambda)$  はセンサの受光面に入射している光の分光分布、 $V(\lambda)$  は人間の目の視覚感度である。

これらの式を用いると、エビ層の厚4  $\mu\text{m}$  をもつ光センサセルでは、A光輻 (2854 °K) で照射され、センサ受光面照度が1 [Lux] のとき、

約  $2.8 \times 10^{10} \text{ A/cm}^2$  の光電流が流れ、入射してくるフォトンの数あるいは発生するエレクトロン・ホール対の数は  $1.8 \times 10^{12} \text{ 個/cm}^2 \cdot \text{sec}$  程度である。

又、この時、光により動かされたホールがベースに蓄積することにより発生する電位  $V_p$  は  $V_p = Q/C$  で与えられる。Qは蓄積されるホールの電荷量であり、Cは  $C_{be1.5}$  と  $C_{be1.7}$  を加算した接合容量である。

いま、n+領域7の不純物濃度を  $1.0 \times 10^{18} \text{ cm}^{-3}$ 、p領域6の不純物濃度を  $5 \times 10^{16} \text{ cm}^{-3}$ 、n+領域5の不純物濃度を  $10 \text{ cm}^{-3}$ 、n+領域7の面積を  $1.8 \mu\text{m}^2$ 、p領域6の面積を  $84 \mu\text{m}^2$ 、n+領域5の厚さを  $3 \mu\text{m}$  にしたときの接合容量は、約  $0.016 \text{ pF}$  位になり、一方、p領域6に蓄積されるホールの個数は、蓄積時間  $1/60 \text{ sec}$ 、有効受光面積、すなわちp領域6の面積から電極8および9の面積を引いた面積を  $58 \mu\text{m}^2$  程度とすると、 $1.7 \times 10^4$  個となる。従って光入射により発生する電位  $V_p$  は  $180 \text{ mV}$  位になる。

ここで注目すべきことは、高解像度化され、セルサイズが縮小化されていった時に、一つの光センサセルあたりに入射する光量が減少し、蓄積電荷量Qが共に減少していくが、セルの縮小化に伴ない接合容量もセルサイズに比例して減少していくので、光入射により発生する電位  $V_p$  はほぼ一定にたどられるということである。これは本発明における光センサセルが第1図に示すごとく、きわめて簡単な構造をしており有効受光面がきわめて大きくとれる可能性を有しているからである。

インターラインタイプのCCDの場合と比較して本発明における光电変換装置が有利な理由の一つはここにあり、高解像度化にともない、インターラインタイプのCCD撮像装置では、転送する電荷量を確保しようとすると転送部の面積が相対的に大きくなり、このため有効受光面が減少するので、感度、すなわち光入射による発生電圧が減少してしまうことになる。また、インターラインタイプのCCD撮像装置では、飽和電圧が

転送部の大きさにより制限され、どんどん低下してしまっててしまうのに対し、本発明における光センサセルでは、先にも書いた様に、最初にp領域6を負電位にバイアスした時のバイアス電圧により飽和電圧は決まるわけであり、大きな飽和電圧を確保することができる。

以上の様にしてp領域6に蓄積された電荷により発生した電圧を外部へ送出する動作について次に説明する。

取出し動作状態では、エミッタ、配線10は浮遊状態に、コレクターは正電位  $V_{ee}$  に保持される。第2図に等価回路を示す。今、光を照射する前に、ベース6を負電位にバイアスした時の電位を  $-V_b$  とし、光照射により発生した蓄積電圧を  $V_p$  とすると、ベース電位は、 $-V_b + V_p$  なる電位になっている。この状態で配線10を通して電極9に取出し用の正の電圧  $V_s$  を印加すると、この正の電位  $V_s$  は縮化閾容量  $C_{ox1.3}$  とベース・エミッタ間接合容量  $C_{be1.5}$ 、ベース・コレクター間接合容量  $C_{bc1.7}$  により容量分担され、ベースに

は電圧

$$\frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_s = V_b$$

が計算される。従ってベース電位は

$$-V_b + V_p + \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_s = V_b$$

となる。ここで、

$$-V_b + \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_s = 0$$

となる条件が成立するようにしておくと、ベース電位は光照射により発生した蓄積電圧  $V_p$  そのものとなる。このようにしてエミッタ電位に対してベース電位が正方向にバイアスされると、エレクトロンは、エミッタからベースに注入され、コレクター電位が正電位になっているので、ドリフト電界により加速されて、コレクターに到達する。この時に流れる電流は、次式で与えられる。

$$I = \frac{A_j \cdot q \cdot D_{ab} \cdot n_{in}}{W_s} \left( 1 + \frac{N_{AC}}{N_{AB}} \right) \times \left\{ \exp \frac{q}{kT} (V_p - V_s) - 1 \right\}$$

但し  $A_j$  はベース・エミッタ間の接合面積、q

は単位電荷量( $1.6 \times 10^{-19}$  エクーロン)、 $D_s$  はベース中に於けるエレクトロンの拡散定数、 $n_{nn}$  は  $p$  ベースのエミッタ端における少數キャリアとしてのエレクトロン濃度、 $W_s$  はベース幅、 $N_{AE}$  はベースのエミッタ端におけるアクセプタ濃度、 $N_{AC}$  はベースのコレクタ端におけるアクセプタ濃度、 $K$  はボルツマン定数、 $T$  は絶対温度、 $V_e$  はエミッタ電位である。

この電流は、エミッタ電位  $V_e$  がベース電位、すなわちここでは光照射により発生した蓄積電圧  $V_p$  に依るくなるまで流れることは上式から明らかである。この時エミッタ電位  $V_e$  の時間的変化は次式で計算される。

$$C_s \cdot \frac{dV_e}{dt} = I = \frac{A_j \cdot q \cdot D_s \cdot n_{nn}}{W_s} \left( 1 + \ln \frac{N_{AE}}{N_{AC}} \right) \times \exp \left( \frac{q}{K \cdot T} (V_p - V_e) - 1 \right)$$

但し、ここで配線容量  $C_s$  はエミッタに接続されている配線  $B$  のもつ容積  $21$  である。

第3図は、上式を用いて計算したエミッタ電位の時間変化の一例を示している。

第3図によればエミッタ電位がベース電位に等しくなるためには、約 1 秒位を要することになる。これはエミッタ電位  $V_e$  が  $V_p$  に近くなるとあまり電流が流れなくなることに起因しているわけである。したがって、これを解決する手段は、先に電極  $B$  に正電圧  $V_s$  を印加するときに、

$$-V_s + \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_s = 0$$

なる条件を設定したが、この条件の代わりに

$$-V_s + \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_s = V_{bias}$$

なる条件を入れ、ベース電位を  $V_{bias}$ だけ、余分に順方向にバイアスしてやる方法が考えられる。この時に流れる電流は次式で与えられる。

$$I = \frac{A_j \cdot q \cdot D_s \cdot n_{nn}}{W_s} \left( 1 + \ln \frac{N_{AE}}{N_{AC}} \right) \times \exp \left( \frac{q}{K \cdot T} (V_p + V_{bias} - V_e) - 1 \right)$$

第4図(a)に、 $V_{bias} = 0.8$  Vとした場合、ある

一定時間の後、電極  $B$  に印加していた  $V_s$  をゼロボルトにもどし、流れる電流を停止させたときの蓄積電圧  $V_p$ に対する、読み出し電圧、すなわちエミッタ電位の関係を示す。但し、第4図(a)では、読み出し電圧はバイアス電圧成分による読み出し時間に依存する一定の電位が必ず加算されてくるがそのゲタ分をさし引いた値をプロットしている。電極  $B$  に印加している正電圧  $V_s$  をゼロボルトにもどした時には、印加したときとは逆に

$$- \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_s$$

なる電圧がベース電位に加算されるので、ベース電位は、正電圧  $V_s$  を印加する前の状態、すなわち  $-V_s$  になり、エミッタに対し逆バイアスされるので電流の流れが停止するわけである。第4図(a)によれば 100ms 程度以上の読み出し時間（すなわち  $V_s$  を電極  $B$  に印加している時間）をとれば、蓄積電圧  $V_p$  と読み出し電圧は 4 倍程度の範囲にわたって直線性は確保され、高速の読みしが可能であることを示している。第4図(b)で、45°の線は読み出しに十分の時間をかけた場合の結果で

の線は読み出しに十分の時間をかけた場合の結果であり、上記の計算例では、配線  $B$  の容積  $C_s$  を  $10\text{pF}$  としているが、これは  $C_{be} + C_{bc}$  の接合容積の  $0.014\text{pF}$  と比較して約 300 倍も大きいにもかかわらず、 $p$  電極  $B$  に発生した蓄積電圧  $V_p$  が何らの減衰も受けず、かつ、バイアス電圧の効果により、きわめて高速に読み出されていることを第4図(a)は示している。これは上記構成に係る光センサセルのもつ増幅機能、すなわち電荷増幅機能が有効に働いているからである。

これに対して従来のMOS型撮像装置では、蓄積電圧  $V_p$  は、このような読み出し過程において配線容量  $C_s$  の影響で  $C_j \cdot V_p / (C_j + C_s)$ （但し  $C_j$  はMOS型撮像装置の受光部のトランジスタの接合容積）となり、2 段位読み出し電圧値が下がってしまうという欠点を行っていた。このためMOS型撮像装置では、外端へ読み出すためのスイッチングMOSトランジスタの寄生容量のばらつきによる固定パターン雜音、あるいは配線容量すなわち出力容量が大きいことにより発生するランダム雜

音が大きく、S/N 比がとれないという問題があつたが、第1図(a),(b),(c)で示す構成の光センサセルでは、P 開域 6 に発生した蓄積電圧そのものが外部に放出されるわけであり、この電圧はかなり大きいため固定パターン雑音、山形容量に起因するランダム雑音が相対的に小さくなり、きわめて S/N 比の良い信号を得ることが可能である。

先に、バイアス電圧 V<sub>Bias</sub>を 0.6 V に設定したとき、4 衍程度の直線性が 100usec 程度の高速読み出し時間で得られることを示したが、この直線性および読み出し時間とバイアス電圧 V<sub>Bias</sub>の関係を計算した結果をさらにくわしく、第4図(b)に示す。

第4図(b)において横軸はバイアス電圧 V<sub>Bias</sub>であり、また、縦軸は読み出し時間を持っている。またパラメータは、蓄積電圧が 1.0V のときに、読み出し電圧が 1.0V の 80%, 90%, 95%, 98% になるまでの時間依存性を示している。第4図(a)に示される様に、蓄積電圧 1.0Vにおいて、それぞれ 80%, 90%, 95%, 98% に

なっている時は、それ以上の蓄積電圧では、さらに良い値を示していることは明らかである。

この第4図(b)によれば、バイアス電圧 V<sub>Bias</sub>が 0.6V では、読み出し電圧が蓄積電圧の 80% になるのは読み出し時間が 0.12μs, 90% になるのは 0.27μs, 95% になるのは 0.51μs, 98% になるのは 1.4μs であるのがわかる。また、バイアス電圧 V<sub>Bias</sub>を 0.6V より大きくすれば、さらに高速の読みしが可能であることを示している。この様に、画像装置の全体の設計から読み出し時間および必要な直線性が決定されると、必要とされるバイアス電圧 V<sub>Bias</sub>が第4図(b)のグラフを用いることにより決定することができる。

上記構成に係る光センサセルのもう一つの利点は、P 開域 6 に蓄積されたホールは P 開域 6 におけるエレクトロンとホールの再結合確率がきわめて小さいことから非破壊的に読みし可能であることである。すなわち読み出し時に電極 9 に印加していた電圧 V<sub>s</sub>をゼロボルトにもどした時、P 開域 6 の電位は電圧 V<sub>s</sub>を印加する前の逆バイアス状態に

なり、光照射により発生した蓄積電圧 V<sub>p</sub>は、新しく光が照射されない限り、そのまま保存される。わけである。このことは、上記構成に係る光センサセルを光電変換装置として構成したときに、システム動作上、新しい機能を提供することができることを意味する。

この P 開域 6 に蓄積電圧 V<sub>p</sub>を保持できる時間は、きわめて長く、最大の保持時間は、むしろ、接合の空乏層中において熱的に発生する暗電流によって制限を受ける。すなわち、この熱的に発生する暗電流により光センサセルが飽和してしまうからである。しかしながら、上記構成に係る光センサセルでは、空乏層の広がっている領域は、低不純物濃度領域である P- 開域 5 であり、この P- 開域 5 は  $10^{12} \text{ cm}^{-3} \sim 10^{14} \text{ cm}^{-3}$  程度と、きわめて不純物濃度が低いため、その結晶性が良好であり、MOS型、CCD 型等の構造に比較して熱的に発生するエレクトロン・ホール対は少ない。このため、暗電流は、他の従来の装置に比較して小さい。すなわち、上記構成に係る光センサセル

は本質的に暗電流雑音の小さい構造をしているわけである。

次いで P 開域 6 に蓄積された電荷をリフレッシュする動作について説明する。

上記構成に係る光センサセルでは、すでに述べたごとく、P 開域 6 に蓄積された電荷は、読み出し動作では消費しない。このため新しい光情報を入力するためには、前に蓄積されていた電荷を消費させるためのリフレッシュ動作が必要である。また同時に、浮遊状態になされている P 開域 6 の電位を所定の負電圧に帯電させておく必要がある。

上記構成に係る光センサセルでは、リフレッシュ動作も読み出し動作と同様、配線 10 を通して電極 9 に正電圧を印加することにより行なう。このとき、配線 8 を通してエミッタを接地する。コレクタは、電極 12 を通して接地又は正電位にしておく。第5図にリフレッシュ動作の等価回路を示す。但しコレクタ側を接地した状態の例を示している。

この状態で正電圧  $V_{bb}$  なる電圧が電極 9 に印加されると、ベース 22 には、離化膜 厚  $C_{ox} = 13$ 、ベース・エミッタ間接合容量  $C_{be} = 1.5$ 、ベース・コレクタ間接合容量  $C_{bc} = 1.7$  の容量分担により、

$$\frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_{bb}$$

なる電圧が、前の脱出動作のときと同様瞬時にかかる。この電圧により、ベース・エミッタ間接合ダイオード  $D_{be16}$  およびベース・コレクタ間接合ダイオード  $D_{bc18}$  は順方向バイアスされて導通状態となり、電流が流れ始め、ベース電位は次第に低下していく。

この時、浮遊状態にあるベースの電位  $V$  の変化は近似的に次式で表わされる。

$$(C_{be} + C_{bc}) \frac{dV}{dt} = - (i_1 + i_2)$$

但し、

$$i_1 = A_b \left( \frac{q D_p p_m}{L_p} + \frac{q D_n n_m}{W_s} \right) \times \exp \left( \frac{q}{kT} (V - V_0) - 1 \right)$$

の内、 $q \cdot D_p \cdot p_m / L_p$  はホールによる電流、すなわちベースからホールがコレクタ側へ流れだす成分を示している。このホールによる電流が流れやすい様に上記構成に係る光センサセルでは、コレクタの不純物濃度は、通常のバイポーラトランジスタに比較して少し低めに設計される。

この式を用いて計算した、ベース電位の時間依存性の一例を第 6 図に示す。横軸は、リフレッシュ電圧  $V_{bb}$  が電極 9 に印加された瞬間からの時間経過すなわちリフレッシュ時間、縦軸は、ベース電位をそれぞれ示す。また、ベースの初期電位をパラメータにしている。ベースの初期電位とは、リフレッシュ電圧  $V_{bb}$  が加わった瞬間に、浮遊状態にあるベースが示す電位であり、 $V_{bb}$ 、 $C_{ox}$ 、 $C_{be}$ 、 $C_{bc}$  及びベースに蓄積されている電荷によってきまる。

この第 6 図をみれば、ベースの電位は初期電位によらず、ある時間経過後には必ず、片対数グラフ上で一つの直線にしたがって下がっていく。

$$i_2 = A_e \frac{q D_n n_m}{W_s}$$

$$\times \exp \left( \frac{q}{kT} (V - V_0) - 1 \right)$$

$i_1$  はダイオード  $D_{be}$  を流れる電流、 $i_2$  はダイオード  $D_{bc}$  を流れる電流である。 $A_b$  はベース面積、 $A_e$  はエミッタ面積、 $D_p$  はコレクタ中ににおけるホールの拡散定数、 $p_m$  はコレクタ中ににおける熱平衡状態のホール濃度、 $L_p$  はコレクタ中ににおけるホールの平均自由行程、 $n_m$  はベース中ににおける熱平衡状態でのエレクトロン濃度である。 $i_1$  で、ベース側からエミッタへのホール注入による電流は、エミッタの不純物濃度がベースの不純物濃度にくらべて充分高いので、無視できる。

上に示した式は、段階接合近似のものであり実際のデバイスでは段階接合からはずれており、又ベースの厚さが薄く、かつ複雑な濃度分布を有しているので厳密なものではないが、リフレッシュ動作をかなりの近似で説明可能である。

上式中のベース・コレクタ間に流れる電流  $i_2$

第 6 図(b) に、リフレッシュ時間に対するベース電位変化の実験値を示す。第 6 図(a) に示した計算例に比較して、この実験で用いたテストデバイスは、ディメンションがかなり大きいため、計算例とはその絶対値は一致しないが、リフレッシュ時間に対するベース電位変化が片対数グラフ上で直線的に変化していることが実証されている。この実験例ではコレクタおよびエミッタの両端を接地したときの値を示している。

今、光照射による寄積電圧  $V_p$  の最大値を  $0.4$  [V]、リフレッシュ電圧  $V_{bb}$  によりベースに印加される電圧  $V$  を  $0.4$  [V] とすると、第 6 図に示すことなく初期ベース電位の最大値は  $0.8$  [V] となり、リフレッシュ電圧印加後  $10^{-3}$  [sec] 後には直線にのってベース電位が下がり始め、 $10^{-2}$  [sec] 後には、光があたらなかった時、すなわち初期ベース電位が  $0.4$  [V] のときの電位変化と一致する。

第 6 図が、MOS キャパシタ  $C_{ox}$  を通して正電圧をある時間印加し、その正電圧を除去すると

負電位に帯電する仕方には、2通りの仕方がある。一つは、P領域6から正電荷を持つホールが、主として接地状態にあるN領域1に流れ出すことによって、負電荷が蓄積される動作である。P領域6からホールが、N領域1に一方的に流れ、N領域1の電子があまりP領域6内に流れ込まないようにするために、P領域6の不純物密度をN領域1の不純物密度より高くしておけばよい。一方、n+領域7やN領域1からの電子が、P領域6に流れ込み、ホールと再結合することによって、P領域6に負電荷が蓄積する動作も行なえる。この場合には、N領域1の不純物密度はP領域6より高くなされている。P領域6からホールが流出することによって、負電荷が蓄積する動作の方が、P領域6ベースに電子が流れ込んでホールと再結合することにより負電荷が蓄積する動作よりはるかに速い。しかし、これまでの実験によれば、電子をP領域6に流し込むリフレッシュ動作でも、光電変換装置の動作に対しては、十分に速い時間応答を示すことが確認されてい

る。

上記構成に係る光センサセルをXY方向に多段ならべて光電変換装置を構成したとき、所定により各センサセルで、蓄積電圧 $V_p$ は、上記の例では0~0.4[V]の間でばらついているが、リフレッシュ電圧 $V_m$ 印加後 $10^{-5}$ [sec]には、全てのセンサセルのベースには約0.3[V]程度の一定電圧は残るもの、両側による蓄積電圧 $V_p$ の変化分は全て消えてしまうことがわかる。すなわち、上記構成に係る光センサセルによる光電変換装置では、リフレッシュ動作により全てのセンサセルのベース電位をゼロボルトまで持っていく完全リフレッシュモードと（このときは第6図(c)の例では $10[\mu\text{sec}]$ を要する）、ベース電位にはある一定電圧は残るもの蓄積電圧 $V_p$ による変動成分が消えてしまう過渡的リフレッシュモードの二つが存在するわけである（このときは第6図(c)の例では、 $10[\mu\text{sec}]$ ~ $10[\text{sec}]$ のリフレッシュパルス）。以上の例では、リフレッシュ電圧 $V_m$ によりベースに印加される電圧 $V$ を0.4[V]

としたが、この電圧 $V_m$ を0.0[V]とすれば、上記、過渡的リフレッシュモードは、第6図によれば、1[sec]でおこり、きわめて高速にリフレッシュすることができる。完全リフレッシュモードで動作させるか、過渡的リフレッシュモードで動作させるかの選択は光電変換装置の使用目的によって決定される。

この過渡的リフレッシュモードにおいてベースに残る電圧を $V_b$ とすると、リフレッシュ電圧 $V_m$ を印加後、 $V_m$ をゼロボルトにもどす瞬間の過渡的状態において、

$$V_b = \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_m$$

なる負電圧がベースに加算されるので、リフレッシュパルスによるリフレッシュ動作後のベース電位は

$$V_b = \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_m$$

となり、ベースはエミッタに対して逆バイアス状態になる。

先に光により励起されたキャリアを蓄積する寄

積動作のとき、蓄積状態ではベースは逆バイアス状態で行なわれるという説明をしたが、このリフレッシュ動作により、リフレッシュおよびベースを逆バイアス状態に持っていくことの2つの動作が同時に行なわれるわけである。

第6図(c)にリフレッシュ電圧 $V_m$ に対するリフレッシュ動作後のベース電位

$$V_b = \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_m$$

の変化の実験値を示す。パラメータとして $C_{ox}$ の値を $5\text{pF}$ から $100\text{pF}$ までとっている。丸印は実験値であり、実線は

$$V_b = \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_m$$

より計算される計算値を示している。このとき $V_b = 0.52\text{V}$ であり、また、 $C_{be} + C_{bc} = 4\text{pF}$ である。但し測定用オシロスコープのプローブ容量 $10\text{pF}$ が $C_{be} + C_{bc}$ に並列に接続されている。この様に、計算値と実験値は完全に一致しており、リフレッシュ動作が実験的にも確認されている。

以上のリフレッシュ動作においては、第5図に示す様に、コレクタを接地したときの例について説明したが、コレクタを正電位にした状態で行なうことも可能である。このときは、ベース・コレクタ間接合ダイオード D<sub>bc1</sub> 8 が、リフレッシュパルスが印加されても、このリフレッシュパルスによりベースに印加される電位よりも、コレクタに印加されている正電位の方が大きいと非導通状態のままなので、電流はベース・エミッタ間接合ダイオード D<sub>be1</sub> 6 だけを通して流れれる。このため、ベース電位の低下は、よりゆっくりしたものになるが、基本的には、前に説明したのと、まったく同様な動作が行なわれるわけである。

すなわち第6図(a)のリフレッシュ時間に対するベース電位の関係は、第6図(b)のベース電位が低下する時の斜めの直線が右側の方、つまり、より時間の要する方向へシフトすることになる。したがって、コレクタを接地した時と同じリフレッシュ電圧 V<sub>ref</sub> を用いると、リフレッシュに時間を使わることになるが、リフレッシュ電圧 V<sub>ref</sub>

をわずか高めてやればコレクタを接地した時と同じ、高速のリフレッシュ動作が可能である。

以上が光入射による電荷寄積動作、読み出し動作、リフレッシュ動作よりなる上記構成に係る光センサセルの基本動作の説明である。

以上説明したごとく、上記構成に係る光センサセルの基本構造は、すでにあげた特開昭56-150878、特開昭56-157073、特開昭56-185473と比較してきわめて簡便な構造であり、将来の高解像度化に十分対応できるとともに、それらのもつ優れた特徴である増幅機能からくる低電音、高出力、広ダイナミックレンジ、非破壊読み出し等のメリットをそのまま保存している。

次に、以上説明した構成に係る光センサセルを二次元に配列して構成した本発明の光電変換装置の一実施例について因而を用いて説明する。

基本光センサセル構造を二次元的に  $3 \times 3$  に配列した光電変換装置の回路構成回路を第7図に示す。

すでに説明した点線でかこまれた基本光センサセル 30 (この時バイポーラトランジスタのコレクタは基板および基板電極に接続されることを示している。)、読み出しパルスおよびリフレッシュパルスを印加するためのホワライン 31、31'、31''、読み出しパルスを発生させるための垂直シフトレジスタ 32、垂直シフトレジスタ 32 と水平ライン 31、31'、31'' の間のバッファ MOSトランジスタ 33、33'、33''、バッファ MOSトランジスタ 33'、33''、33''' のゲートにパルスを印加するための端子 34、リフレッシュパルスを印加するためのバッファ MOSトランジスタ 35、35'、35''、それのゲートにパルスを印加するための端

子 36、リフレッシュパルスを印加するための端子 37、基本光センサセル 30 から蓄積電圧を読み出すための垂直ライン 38、38'、38''、各垂直ラインを選択するためのパルスを発生する水平シフトレジスタ 39、各垂直ラインを開閉するためのゲート用 MOSトランジスタ 40、40'、40''、蓄積電圧をアンプ部に読み出すための出力ライン 41、読み出し後に、出力ラインに蓄積した電荷をリフレッシュするための MOSトランジスタ 42、MOSトランジスタ 42 へリフレッシュパルスを印加するための端子 43、出力信号を増幅するためのバイポーラ、MOS、FET、J-FET 等のトランジスタ 44、負荷抵抗 45、トランジスタと電源を接続するための端子 46、トランジスタの出力端子 47、読み出し動作において垂直ライン 40、40'、40'' に蓄積された電荷をリフレッシュするための MOSトランジスタ 48、48'、48''、および MOSトランジスタ 48、48'、48'' のゲートにパルスを印加するための端子 49 によりこの光電変換

装置は構成されている。

この光電変換装置の動作について第7図および第8図に示すパルスタイミング図を用いて説明する。

第8図において、区間61はリフレッシュ動作、区間62は蓄積動作、区間63は読み出し動作にそれぞれ対応している。

時刻t<sub>1</sub>において、基板電位、すなわち光センサセル側のコレクタ電位64は、接地電位または正電位に保たれるが、第8図では接地電位に保たれているものを示している。接地電位又は正電位のいずれにしても、すでに説明した様に、リフレッシュに要する時間が異なってくるだけであり、基本動作に変化はない。端子49の電位65はhigh状態であり、MOSトランジスタ48、48'、48''は導通状態に保たれ、各光センサセルは、垂直ライン38、38'、38''を通して接地されている。また端子38には、被膜66のごとくバッファMOSトランジスタが導通する電圧が印加されており、全断面一括リフレッシュ

用バッファMOSトランジスタ35、35'、35''は導通状態となっている。この状態で端子37に被膜67のごとくパルスが印加されると、水平ライン31、31'、31''を通して各光センサセルのベースに電圧がかかり、すでに説明した様に、リフレッシュ動作に入り、それ以前に蓄積されていた電荷が、完全リフレッシュモード又は過渡的リフレッシュモードにしたがってリフレッシュされる。完全リフレッシュモードになるか又は過渡的リフレッシュモードになるかは被膜67のパルス幅により決定されるわけである。

t<sub>2</sub>時刻において、すでに説明したごとく、各光センサセルのトランジスタのベースはエミッタに対して逆バイアス状態となり、次の蓄積区間62へ移る。このリフレッシュ区間61においては、図に示すように、他の印加パルスは全てlow状態に保たれている。

蓄積動作区間62においては、基板電圧、すなわちトランジスタのコレクタ電位端子64は正電位にする。これにより光照射により発生したエ

レクトロン・ホール対のうちのエレクトロンを、コレクタ側へ早く飛ばしてしまうことができる。しかし、このコレクタ電位を正電位に保つことは、ベースをエミッタに対して逆方向バイアス状態、すなわち負電位にして蓄積しているので必須条件ではなく、接地電位あるいは若干負電位状態にしても基本的な蓄積動作に変化はない。

蓄積動作状態においては、MOSトランジスタ48、48'、48''のゲート端子49の電位65は、リフレッシュ区間と同様、highに保たれ、各MOSトランジスタは導通状態に保たれる。このため、各光センサセルのエミッタは垂直ライン38、38'、38''を通して接地されている。強い光の照射により、ベースにホールが蓄積され、飽和してくると、すなわちベース電位がエミッタ電位(接地電位)に対して順方向バイアス状態になってくると、ホールは垂直ライン38、38'、38''を通して流れ、そこでベース電位変化は停止し、はクリップされることになる。したがって、垂直方向にとなり合う光センサセル

のエミッタが垂直ライン38、38'、38''により共通に接続されていても、この様に垂直ライン38、38'、38''を接地しておくと、ブルーミング現象を生ずることはない。

このブルーミング現象をさける方法は、MOSトランジスタ48、48'、48''を非導通状態にして、垂直ライン38、38'、38''を浮遊状態に置いてても、基板電位、すなわちコレクタ電位64を若干負電位にしておき、ホールの蓄積によりベース電位が正電位方向に変化してきたとき、エミッタより先にコレクタ側の方へ流れだす様にすることにより達成することも可能である。

蓄積区間62に次いで、時刻t<sub>3</sub>より読み出し区間63になる。この時刻t<sub>3</sub>において、MOSトランジスタ48、48'、48''のゲート端子49の電位65をlowにし、かつ水平ライン31、31'、31''のバッファーMOSトランジスタ33、33'、33''のゲート端子の電位66をhighにし、それぞれのMOSトランジスタ

を導通状態とする。但し、このゲート端子3-4の電位6-8をHIGHにするタイミングは、時刻t<sub>1</sub>であることは必須条件ではなく、それより早い時刻であれば良い。

時刻t<sub>1</sub>では、垂直シフトレジスター3-2の出力のうち、水平ライン3-1に接続されたものが波形6-9のごとくhighとなり、このとき、MOSトランジスタ3-3が導通状態であるから、この水平ライン3-1に接続された3つの各光センサセルの送出しが行なわれる。この送出し動作はすでに前に説明した通りであり、各光センサセルのベース領域に蓄積された信号電荷により発生した信号電圧は、そのまま、垂直ライン3-8、3-8'、3-8''に現われる。このときの垂直シフトレジスター3-2からのパルス電圧のパルス幅は、第4図に示した様に、蓄積電圧に対する送出し電圧が、十分直線性を保つ関係になるパルス幅に設定される。またパルス電圧は先に説明した様に、VDD/8分だけエミッタに対して間方向バイアスがかかる様調節される。

電界に起因する信号電荷が残留しているので、垂直ライン3-8、3-8'、3-8''に接続されたMOSトランジスタ4-8、4-8'、4-8''を、そのゲート端子4-9に波形6-5で示される様にhighにして導通させ、この残留信号電荷をリフレッシュする。

次いで、時刻t<sub>2</sub>において、垂直シフトレジスター3-2の出力のうち、水平ライン3-1'に接続された出力が波形6-9'のごとくhighとなり、水平ライン3-1'に接続された各光センサセルの蓄積電圧が、各垂直ライン3-8、3-8'、3-8''に送出されるわけである。以下、順次前と同様の動作により、出力端子4-7から信号が送出される。

以上の説明においては、蓄積区間6-2と送出し区間6-3が明確に区分される様な応用分野、例えば最近研究開発が積極的に行なわれているスチルビデオに適用される動作状態について説明したが、テレビカメラの様に蓄積区間6-2における動作と送出し区間6-3における動作が同時に行なわれる。

次いで、時刻t<sub>3</sub>において、水平シフトレジスター3-9の出力のうち、垂直ライン3-8に接続されたMOSトランジスタ4-0のゲートへの出力だけが波形7-0のごとくhighとなり、MOSトランジスタ4-0が導通状態となり、出力端子4-1を経て、出力トランジスタ4-4に入り、電流増幅されて出力端子4-7から出力される。この様に信号が送出された後、垂直ライン4-1には配線容量に起因する信号電荷が残っているので、時刻t<sub>4</sub>において、MOSトランジスタ4-2のゲート端子4-3にパルス波形7-1のごとくパルスを印加し、MOSトランジスタ4-2を導通状態にして出力ライン4-1を接続して、この導通した信号電荷をリフレッシュしてやるわけである。以下同様にして、スイッチングMOSトランジスタ4-0'、4-0''を順次導通させて垂直ライン3-8'、3-8''の信号出力を送出す。この様にして水平に並んだ一ライン分の各光センサセルからの信号を送出した後、垂直ライン3-8、3-8'、3-8''には、出力ライン4-1と同様、その配線

れている様な応用分野に関してても、第8図のパルスタイミングを変更することにより適用可能である。但し、この時のリフレッシュは全画面一括りリフレッシュではなく、一ライン分のリフレッシュ機能が必要である。例えば、水平ライン3-1に接続された各光センサセルの信号が送出された後、時刻t<sub>1</sub>において各垂直ラインに残留した電荷を消去するためMOSトランジスタ4-8、4-8'、4-8''を導通にするが、このとき水平ライン3-1にリフレッシュパルスを印加する。すなわち、波形6-9において時刻t<sub>1</sub>においても時刻t<sub>1</sub>と同様、パルス電圧、パルス幅、の異なるパルスを発生する様な構成の垂直シフトレジスターを使用することにより達成することができる。この様にダブルパルス的動作以外には、第7図の右側に設置した一括りリフレッシュパルスを印加する様の代りに、左側と同様の第2の垂直シフトレジスターをお側にも設け、タイミングを左側に設けられた垂直レジスターとずらせながら動作させることにより達成させることも可能である。

このときは、すでに説明した様な潜伏状態において、各光センサセルのエミッタおよびコレクタの各電位を操作してブルーミングを押さえるという動作の自由度が少なくなる。しかし、基本動作の所で説明した様に、読み出し状態では、ベースに V<sub>H</sub> なるバイアス電圧を印加したときに初めて高速起動しができる様な構成としているので、第 3 図のグラフからわかる様に、V<sub>H</sub> を印加しない時に、各光センサセルの倒和により、飛行ライン 28°, 28', 28" に流れだす信号電荷分はきわめてわずかであり、ブルーミング現象は、まったく問題にはならない。

また、スマア現象に対しても、本実施例に係る光電変換装置は、きわめて優れた特性を得ることができる。スマア現象は、CCD 型撮像装置、特にフレーム転送型においては、光の照射されている所を電荷転送されるという、動作および構造上発生する問題であり、インターライン型においては、特に長波長の光により半導体の深部で発生したキャリアが電荷転送部に蓄積するために発

生する問題である。

また、MOS 摄像装置においては、各光センサセルに接続されたスイッチングMOSトランジスタのドレイン側に、やはり長波長の光により半導体深部で発生したキャリアが蓄積されるために生じる問題である。

これに対して本実施例に係る光電変換装置では、動作および構造上発生するスマア現象はまったくなく、また長波長の光により半導体深部で発生したキャリアが蓄積されるという現象もまったく生じない。但し、光センサセルのエミッタにおいて比較的表面近傍で発生したエレクトロンとホールのうち、エレクトロンが蓄積されるという現象が心配されるが、これは、一括リフレッシュ動作のときは潜伏動作状態において、エミッタが接続されているため、エレクトロンは蓄積されず、スマア現象が生じない。また通常のテレビカメラのとき応用されるラインリフレッシュ動作のときは、水平ブランディングの期間において、垂直ラインに潜伏電圧を読み出す前に、垂直ラインを接

続してリフレッシュするので、この時間中にエミッタに一水平走査間に蓄積されたエレクトロンは流れ出てしまい、このため、スマア現象はほとんど発生しない。この様に、本実施例に係る光電変換装置では、その構造上および動作上、スマア現象はほとんど本質的に無視し得る程度しか発生せず、本実施例に係る光電変換装置の大きな利点の一つである。

また、潜伏動作状態において、エミッタおよびコレクタの各電位を操作して、ブルーミング現象を押さえるという動作について前に述べたが、これを利用して  $\alpha$  特性を抑制することも可能である。

すなわち、潜伏動作の途中において、一時的にエミッタまたはコレクタの電位をある一定の負電位にし、ベースに蓄積されたキャリアのうち、この負電位を与えるキャリア数より多く蓄積されているホールをエミッタまたはコレクタ側へ流してしまうという動作をさせる。これにより、潜伏電圧と入射光量に対する関係は、入射光量の小さいと

きはシリコン結晶のもつ  $\alpha = 1$  の特性を示し、入射光量の大きい所では、 $\alpha < 1$  より小さくなる様な特性を示す。つまり、折線近似的に通常テレビカメラで要求される  $\alpha = 0.45$  の特性をもたらせることが可能である。潜伏動作の途中において上記動作を一度やれば一折線近似となり、エミッタ又はコレクタに印加する負電位を二度適宜変更して行なえば、二折線タイプの  $\alpha$  特性を持たせることも可能である。

また、以上の実施例においては、シリコン基板を共通コレクタとしているが通常バイオーラトランジスタのごとく埋込式の領域を設け、各ライン毎にコレクタを分離させる様な構造としてもよい。

なお、実際の動作には第 8 図に示したパルスタイミング以外に、飛行シフトレジスタ 32、水平シフトレジス 39 を駆動するためのクロックパルスが必要である。

第 9 図に出力信号に関する等価回路を示す。荷重 C + R は、垂直ライン 38, 38',

38°の配線容量であり、容量C<sub>H</sub>81は出力ライン41の配線容量をそれぞれ示している。また第9回右側の等価回路は、読み出し状態におけるものであり、スイッチング用MOSトランジスタ40、40'、40''は導通状態であり、その導通状態における抵抗値を抵抗R<sub>H</sub>82で示している。また増幅用トランジスタ44を抵抗R<sub>H</sub>83および電源電圧84を用いた等価回路で示している。出力ライン41の配線容量に起因する電荷寄積をリフレッシュするためのMOSトランジスタ42は、読み出し状態では非導通状態であり、インピーダンスが高いので、右側の等価回路では省略している。

等価回路の各パラメータは、実際に構成する光電変換装置の大きさにより決定されるわけであるが、例えば、容量C<sub>V</sub>80は約4pF位、容量C<sub>H</sub>81は約4pF位、MOSトランジスタの導通状態の抵抗R<sub>H</sub>82は3KΩ程度、バイポーラトランジスタ44の電流増幅率は約100程度として、出力端子47において観測される出力信号

波形を計算した例を第10図に示す。

第10図において横軸はスイッチングMOSトランジスタ40、40'、40''が導通した瞬間からの時間[μs]を、縦軸は負荷ライン38、38'、38''の配線容量C<sub>V</sub>80に、各光センサセルから符号電荷が読み出されて1ボルトの電圧がかかっているときの出力端子47に現われる出力電圧[V]をそれぞれ示している。

出力信号波形85は負荷抵抗R<sub>L</sub>45が10KΩ、86は負荷抵抗R<sub>L</sub>45が5KΩ、87は負荷抵抗R<sub>L</sub>45が2KΩのときのものであり、いずれにおいてもピーク値は、C<sub>V</sub>80とC<sub>H</sub>81の容量分割により0.5V程度になっている。当然のことながら、負荷抵抗R<sub>L</sub>45が大きい方が波形は小さく、留ましい出力波形になっている。立ち上り時間は、上記のパラメータ値のとき、約2.0nsecと高速である。スイッチングMOSトランジスタ40、40'、40''の導通状態における抵抗R<sub>H</sub>を小さくすることにより、および、配線容量C<sub>V</sub>、C<sub>H</sub>を小さくすることにより、さら

に高速の読みしも可能である。

上記構成に係る光センサセルを利用した光電変換装置では、各光センサセルのもつ増幅機能により、出力に現れる電圧が大きいため、最終段の増幅アンプも、MOS増幅器装置に比較してかなり簡単なもので良い。上記例ではバイポーラトランジスタ1段のタイプのものを使用した例について説明したが、2段構成のもの等、他の方式を使うことも当然のことながら可能である。この例の様にバイポーラトランジスタを用いると、CCD撮像装置における最終段のアンプのMOSトランジスタから発生する両像上目につきやすい1/2雜音の問題が、本実施例の光電変換装置では発生せず、きわめてS/N比の良い品質を得ることが可能である。

上に述べた様に、上記構成に係る光センサセルを利用した光電変換装置では、最終段の増幅アンプがきわめて簡単なもので良いことから、最終段の増幅アンプを一つだけ設ける第7回に示した一実施例のごときタイプではなく、増幅アンプを複数個設置して、一つの画面を複数に分離して読み出す様な構成とすることも可能である。

第11回に、分離読み出し方式の一例を示す。第11回に示す実施例は、水平方向を3分離とし最終段アンプを3つ設置した例である。基本的な動作は第7回の実施例および第8回のタイミング回路を用いて説明したものとほとんど同じであるが、この第11回の実施例では、3つの等価な水平シフトレジスタ100、101、102を設け、これらの始動パルスを印加するための端子103に始動パルスが入ると、1列目、(n+1)列目、(2n+1)列目(nは像数であり、この実施例では水平方向映像数は3n個である。)に接続された各センサセルの出力が同時に読み出されることになる。次の時点では、2列目、(n+2)列

日， $(2n+2)$  列目が読み出されることになる。

この実施例によれば、一本の水平ライン分を読み出す時間が固定されている時は、水平方向のスキャニング回数は、一つの最終段アンプをついた方式に比較して  $1/3$  の回数で良く、水平シフトレジスターが簡単になり、かつ光電変換装置からの出力信号をアナログディジタル変換して、信号処理する様な用途には、高適のアナログ・ディジタル変換器は不要であり、分割読み出し方式の大きな利点である。

第11図に示した実施例では、等価な水平シフトレジスターを3つ設けた方式であったが、同様な機能は、水平レジスター1つだけでももたらせることが可能である。この場合の実施例を第12図に示す。

第12図の実施例は、第11図に示した実施例のうちの水平スイッチングMOSトランジスターと、最終段アンプの中間の部分だけを書いたものであり、他の部分は、第11図の実施例と同じで

あるから省略している。

この実施例では、1つの水平シフトレジスター104からの出力を1列目， $(n+1)$  列目， $(2n+1)$  列目のスイッチングMOSトランジスターのゲートに接続し、それらのラインを同時に読み出す様にしている。次の時点では、2列目， $(n+2)$  列目， $(2n+2)$  列目が読み出されるわけである。

この実施例によれば、各スイッチングMOSトランジスターのゲートへの配線は増加するものの、水平シフトレジスターとしては1つだけで動作が可能である。

第11図、12図の例では出力アンプを3個設けた例を示したが、この数はその目的に応じてさらに多くしてもよいことはもちろんである。

第11図、第12図の実施例ではいずれも、水平シフトレジスター、垂直シフトレジスターの始動パルスおよびクロックパルスは省略しているが、これらは、他のリフレッシュパルスと同様、同一チップ内に設けたクロックパルス発生器ある

いは、他のチップ上に設けられたクロックパルス発生器から供給される。

この分割読み出し方式では、水平ライン一括又は全画面一括リフレッシュを行なうと、 $n$ 列目と $(n+1)$ 列目の光センサセル間では、わずか蓄積時間が異なり、これにより、暗電流成分および信号成分に、わずかの不連続性が生じ、画像上日にについてくる可能性も考えられるが、この量はわずかであり、实用上問題はない。また、これが、許容限度以上になってきた場合でも、外部回路を用いて、それを補正することは、キュー状態を発生させ、これと暗電流成分との減算およびこれと信号成分の乗算により行なう従来の補正技術を使用することにより容易に可能である。

このような光電変換装置を用いて、カラー画像を撮像する時は、光電変換装置の上に、ストライプフィルターあるいは、モザイクフィルター等をオーバーラップ化したり、又は、別に作ったカラーフィルターを貼り合わせることによりカラー信号を得ることが可能である。

一例としてR、G、Bのストライプ・フィルターを使用した時は、上記構成に係る光センサセルを利用して光電変換装置ではそれぞれ別々の最終段アンプよりR信号、G信号、B信号を得ることが可能である。これの一実施例を第13図に示す。この第13図も第12図と同様、水平レジスターのまわりだけを示している。他は第7図および第11図と同じであり、ただ1列目はRのカラーフィルター、2列目はGのカラーフィルター、3列目はBのカラーフィルター、4列目はRのカラーフィルターという様にカラーフィルターがついているものとする。第13図に示すごとく1列目、4列目、7列目……の各垂直ラインは出力ライン110に接続され、これは直射管をとりだす。又2列目、5列目、8列目……の各垂直ラインは出力ライン111に接続され、これはG信号をとりだす。又同様にして、3列目、6列目、9列目……の各垂直ラインは出力ライン112に接続されB信号をとりだす。出力ライン110、111、112はそれぞれオンチップ

化されたりフレッシュ用MOSトランジスタおよび最終段アンプ、例えばエミッタフォロアタイプのバイポーラトランジスタに接続され、各カラーチャンネルが別々に出力されるわけである。

本発明の他の実施例に係る光電変換装置を構成する光センサセルの他の例の基本構造および動作を説明するための図を第14図に示す。またそれの等価回路および全体の回路構成図を第15図(a)に示す。

第14図に示す光センサセルは、同一の水平スキャンパルスにより読み出し動作、およびラインリフレッシュを同時に行なうことを可能とした光センサセルである。第14図において、すでに第1図で示した構成と異なる点は、第1図の場合水平ライン配線10に接続されるMOSキャバシタ電極9が一つだけであったものが上下に接続する光センサセルの側にもMOSキャバシタ電極120が接続され、1つの光センサセルからみた時に、ダブルコンデンサー・タイプとなっていること、および図において上下に接続する光センサセ

ルのエミッタ7、は2階配線にされた配線④8、および配線⑥121(第14図では、垂直ラインが1本に見えるが、絶縁層を介して2本のラインが配置されている)に交互に接続、すなわちエミッタ7はコンタクトホール19を通して配線④8に、エミッタ7はコンタクトホール17を通過して配線⑥121にそれぞれ接続されていることが異なっている。

これは第15図(a)の等価回路をみるとより明らかとなる。すなわち、光センサセル152のベースに接続されたMOSキャバシタ150は水平ライン31に接続され、MOSキャバシタ151は水平ライン32に接続されている。また光センサセル152の間に下に接続する光センサセル155のMOSキャバシタ156は共通する水平ライン33に接続されている。

光センサセル152のエミッタは垂直ライン38に、光センサセル155のエミッタは垂直ライン138に、光センサセル155のエミッタは垂直ライン38という様にそれぞれ交互に接続され

ている。

第15図(a)の等価回路では、以上述べた基本の光センサセル構以外で、第7図の複数装置と異なるのは、垂直ライン38をリフレッシュするためのスイッチングMOSトランジスタ48のほかに垂直ライン138をリフレッシュするためのスイッチングMOSトランジスタ148、および垂直ライン38を選択するスイッチングMOSトランジスタ40のほか垂直ライン138を選択するためのスイッチングMOSトランジスタ140が追加され、また出力アンプ部が一つ増設されている。この出力系の構成は、各ラインをリフレッシュするためのスイッチングMOSトランジスタ48、および148が接続されている様な構成とし、さらに水平スキャン用のスイッチングMOSトランジスタを用いる第15図(b)に示す様にして出力アンプを一つだけにする構成もまた可能である。第15図(b)では第15図(a)の垂直ライン選択および出力アンプ部の部分だけを示している。

この第14図の光センサセル及び第15図(a)に示す実施例によれば、次の様な動作が可能である。すなわち、今水平ライン31に接続された各光センサセルの読み出し動作が終了し、テレビ動作における水平ブランギング期間にある時、垂直シフトレジスター32からの山形パルスが水平ライン31に山形されるとMOSキャバシタ151を通して、読み出しの終了した光センサセル152をリフレッシュする。このとき、スイッチングMOSトランジスタ48は導通状態にされ、垂直ライン38は接続されている。

また水平ライン31に接続されたMOSキャバシタ156を通して光センサセル155の出力が垂直ライン138に読み出される。このとき当然のことながらスイッチングMOSトランジスタ148は非導通状態になされ、垂直ライン138は浮遊状態となっているわけである。この様に一つの垂直スキャンパルスにより、すでに読み出しを終了した光センサセルのリフレッシュと、次のラインの光センサセルの読みしが同一のパルスで

同時に進行なうことが可能である。このときすでに説明した様にリフレッシュする時の電圧と読み出し時の電圧は、読み出し時には、各電極からの電圧からバイアス電圧をかけるので異なるが、これは第14図に示すごとく、MOSキャバシタ電極9およびMOSキャバシタ電極12の面積を変えることにより各電極に同一の電圧が印加されても各光センサセルのベースには異なる電圧がかかる様な構成をとることにより達成されている。

すなわち、リフレッシュ用MOSキャバシタの面積は、読み出し用MOSキャバシタの面積にくらべて小さくなっている。この例のように、センサセル全部を一括リフレッシュするのではなく、一本ラインずつリフレッシュしていく場合には、第14図(b)に示されるようにコレクタを複数あるいはノーブ版で構成しておいてもよいが、水平ラインごとにコレクタを分離して設けた方が確実なことがある。コレクタが基板になっている場合には、各光センサセルのコレクタが共通領域となっ

ているため、常時および受光読み出し状態ではコレクタに一定のバイアス電圧が加わった状態になっている。もちろん、すでに説明したようにコレクタにバイアス電圧が加わった状態でも浮遊ベースのリフレッシュは、エミッタの側で行なえる。ただし、この場合には、ベース領域のリフレッシュが行なわれると同時に、リフレッシュパルスが印加されたセルのエミッタコレクタ間に無駄な電流が流れ、消費電力を大きくするという欠点が伴なう。こうした欠点を克服するためには、各センサセルのコレクタを共通領域とせずに、各水平ラインに亘るセンサセルのコレクタは共通になるが、各水平ラインごとのコレクタは互いに分離された構造にする。すなわち、第14図の構造に因襲させて説明すれば、基板はP型にして、P型基板中にコレクター各水平ラインごとに互いに分離されたN型埋込領域を設けた構造にする。隣り合う水平ラインのN型埋込領域の分離は、P型領域を間に介在させる構造でもよい。水平ラインに沿って埋込まれるコレクタのキャバシタを減少させるには、

絶縁物分離の方が優れている。第14図では、コレクタが基板で構成されているから、センサセルを開む分離領域はすべてほとんど同じ深さまで設けられている。一方、各水平ラインごとのコレクタを互いに分離するには、水平ライン方向の分離領域を垂直ライン方向の分離領域より必要な値だけ深くしておくことになる。

各水平ラインごとにコレクタが分離されていれば、読みしが終って、リフレッシュ動作が始まる時に、その水平ラインのコレクタの電圧を接地すれば、前述したようなエミッタコレクタ間電流は流れず、消費電力の増加をもたらさない。リフレッシュが終って光信号による電荷蓄積動作に入る時に、ふたたびコレクタ領域には所定のバイアス電圧を印加する。

また第15図(a)の等価回路によれば、各水平ライン毎に出力は出力端子47および147に交叉に出力されることになる。これは、すでに説明したごとく、第15図(b)の様な構成にすることにより一つのアンプから出力をとりだすことも可

能である。

以上説明した様に本実施例によれば、比較的簡単な構成で、ラインリフレッシュが可能となり、通常のテレビカメラ等の応用分野にも適用することが可能である。

本発明の他の実施例としては、光センサセルに複数のエミッタを設けた構成あるいは、一つのエミッタに複数のコンタクトを設けた構成により、一つの光センサセルから複数の出力をとり出すタイプが考えられる。

これは本発明による光電変換装置の各光センサセルが増幅機能をもつことから、一つの光センサセルから複数の出力をとり出すために、各光センサセルに複数の配線容量が接続されても、光センサセルの内部で発生した蓄積電圧V<sub>T</sub>が、まったく漏洩することなしに各出力に読み出しが可能であることに起因している。

この様に、各光センサセルから複数の出力をとりだすことができる構成により、各光センサセルを多段配列してなる光電変換装置に対して信号処

度あるいは複数封鎖等に対して多くの利点を付加することが可能である。

次に本発明に係る光電変換装置の一実施例について説明する。第16図に、選択エピタキシャル成長(M. Endo et al, "Novel device isolation technology with selected epitaxial growth" Tech. Dig. of 1982 IEDM, pp. 241-244 参照)を用いたその製法の一例を示す。

$1 \sim 1.0 \times 10^{14} \text{ cm}^{-3}$  程度の不純物濃度のn型Si基板1の裏面側に、コンタクト用のn+部11を、AsあるいはPの結晶で設ける。n+部11からのオートドーピングを防ぐために、側には示さないが酸化膜及び東化膜を裏面に通常は設けておく。

基板1は、不純物濃度及び微量元素濃度が均一に制御されたものを用いる。すなわち、キャリアライズタイムがウェハで十分に長くかつ均一な結晶ウェハを用いる。その様なものとしては例えばMCZ法による結晶が適している。基板1の表面に略々 $1 \mu\text{m}$ 程度の酸化膜をウエット酸化により形成する。すなわち、H<sub>2</sub>O蒸気あるいは(H<sub>2</sub>+O<sub>2</sub>)蒸気で酸化する。熱膨脹率等を生じさせ

せずに良好な酸化膜を得るには、300℃程度の温度での高温酸化が適している。

その上に、たとえば2~4μm程度の厚さのSiO<sub>2</sub>膜をCVDで堆積する。(N<sub>2</sub>+SiH<sub>4</sub>+O<sub>2</sub>)ガス系で、300~500℃程度の温度で所要の厚さのSiO<sub>2</sub>膜を堆積する。O<sub>2</sub>/SiH<sub>4</sub>のモル比は温度にもよるが4~40程度に設定する。フォトリソグラフィ工程により、セル間の分離領域となる部分の酸化膜を残して他の領域の酸化膜は、(CF<sub>4</sub>+H<sub>2</sub>)、C<sub>2</sub>F<sub>6</sub>、CH<sub>4</sub>、F<sub>2</sub>等のガスを用いたアリクティブイオンエッティングで除去する(第16図の工程(e))。例えば、10×10μm<sup>2</sup>に1箇所を設ける場合には、10μmピッチのメッシュ状にSiO<sub>2</sub>膜を残す。SiO<sub>2</sub>膜の幅はたとえば2μm程度に選ばれる。アリクティブイオンエッティングによる表面のダメージ層及び汚染層を、Ar/Cl<sub>2</sub>ガス系プラズマエッティングかウエットエッティングによって除去した後、粗面真空中における蒸着もしくは、ロードロック形式で十分に昇温気が排除になされたスパッタ、ある

いは、SiH<sub>4</sub>ガスにCO<sub>2</sub>レーザ光線を照射する減圧CVDで、アモルファスシリコン301を堆積する(第16図の工程(b))。CBrF<sub>3</sub>、CCl<sub>4</sub>、F<sub>2</sub>、Cl<sub>2</sub>等のガスを用いたアリクティブイオンエッティングによる異方性エッチにより、SiO<sub>2</sub>層側面に堆積している以外のアモルファスシリコンを除去する(第16図の工程(c))。前と同様に、ダメージと汚染層を十分除去した後、シリコン基板表面を十分精作に洗浄し、(H<sub>2</sub>+SiH<sub>4</sub>、C<sub>2</sub>F<sub>6</sub>+HCl)ガス系によりシリコン層の選択成長を行う。数10Torrの減圧状態で成長はを行い、基板温度は300~1000℃、HClのモル比をある程度以上高い値に設定する。HClの量が少なすぎると選択成長は起こらない。シリコン基板上にはシリコン結晶層が成長するが、SiO<sub>2</sub>層上のシリコンはHClによってエッティングされてしまうため、SiO<sub>2</sub>層上にはシリコンは堆積しない(第16図(d))。n+層5の厚さはたとえば3~5μm程度である。

不純物濃度は、好ましくは $10^{12} \sim 10^{14} \text{ cm}^{-3}$ 程度

に設定する。もちろん、この範囲をずれてもよいが、トヨトモの場合の基板電位で完全に空乏化するかもしくはコレクタに動作電圧を印加した状態では、少なくともトヨトモ領域が完全に空乏化するような不純物濃度および厚さに適ぶのが望ましい。

通常入手できるHClガスには大量の水分が含まれているため、シリコン基板表面で常に酸化膜が形成されるというようなことになって、到底高品質のエピタキシャル成長は望めない。水分の多いHClは、ポンベに入っている状態でポンベの材料と反応し鉄分を中心とする重金属を大量に含むことになって、重金属汚染の多いエピ層になり易い。光センサーセルに使用するエピ層は、暗電流成分が少ない程度ましいわけであるから、重金属による汚染は極限まで抑える必要がある。SiH<sub>4</sub>、Cl<sub>2</sub>に超高純度の材料を使用することはもちろんであるが、HClには特に水分の少ない、望ましくは少なくとも水分含有量が0.5ppm以下のものを使用する。もちろん、水分含有量は少ないとよい。エピタキシャル成長層をさらに高品質にするに

は、基板をまず1150～1250℃程度の高溫処理で表面近傍から酸素を除去して、その後800℃程度の長時間熱処理により基板内部にマイクロディフューザーを多数発生させ、ダメーデットゾーンを有するイントリシックゲッタリングの行える基板にしておくことも望ましい。分離領域としてのSiO<sub>2</sub>層もが存在した状態でのエピタキシャル成長を行うわけであるから、SiO<sub>2</sub>からの附着のとり込みを少なくするため、成長速度は低い程度ましい。通常よく使われる高周波加熱法では、カーボンサセプタからの汚染が多くて、より一層の低汚染は望ましい。反応室内にカーボンサセプタなど持込まないランプ加熱によるウェハ直接加熱法が成長雰囲気をもっともクリーンにできて、高品質エピ層を無難に成長させられる。

反応室におけるウェハ支持具は、より蒸気圧の低い超高純度導電サファイアが適している。原材料ガスの予熱が容易に行え、かつ大流量のガスが流れている状態でもウェハ面内温度を均一化し易い、すなわちサーマルストレスがほとんど発生し

ないランプ加熱によるウェハ直接加熱法は、高品質エピ層を得るのに適している。成長時にウェハ表面への紫外線照射は、エピ層の品質をさらに向上させる。

分離領域4となるSiO<sub>2</sub>層の側壁にはアモルファスシリコンが堆積している(第16回の工程(c))。アモルファスシリコンは固相成長で單結晶化し易いため、SiO<sub>2</sub>分離領域4との界面近傍の断面が非常に壊れたものになる。高純度P+層5を選択エピタキシャル成長により形成した後(第18回の工程(d))、表面濃度1～20×10<sup>14</sup>cm<sup>-2</sup>程度のP領域6を、ドープトオキサイドからの拡散か、あるいは低ドーズのイオン注入層をソースとした拡散により所定の深さまで形成する。P領域6の深さはたとえば0.8～1μm程度である。

P領域6の厚さと不純物濃度は以下のような考え方で決定する。濃度を上げようすれば、P領域6の不純物濃度を下げてC<sub>be</sub>を小さくすることが望ましい。C<sub>be</sub>は略々次のように与えられ。

$$C_{be} = A \cdot e^{-\left(\frac{q \cdot N}{2 \cdot V_{bi}}\right)}$$

ただし、V<sub>bi</sub>はエミッタ・ベース間逆偏置電位であり、

$$V_{bi} = \frac{k \cdot T}{q} \ln \frac{N \cdot N_e}{n_i^2}$$

で与えられる。ここで、eはシリコン結晶の消電率、N<sub>e</sub>はエミッタの不純物濃度、N<sub>i</sub>はベースのエミッタに接種する部分の不純物濃度、n<sub>i</sub>は真性キャリア濃度である。N<sub>e</sub>を小さくする程C<sub>be</sub>は小さくなつて、濃度は上昇するが、N<sub>i</sub>をあまり小さくしすぎるとベース領域が動作状態で完全に空乏化してパンチングスルー状態になつてしまうため、あまり低くはできない。ベース領域が完全に空乏化してパンチングスルー状態にならない程度に設定する。

その後、シリコン基板表面に(H<sub>2</sub>+O<sub>2</sub>)ガス系スチーム酸化により数10Åから数100Å程度の厚さの熱酸化膜3を、800～900℃程度の温度で形成する。その上に、(SiH<sub>4</sub>+NH<sub>3</sub>)系ガスのCVDで複合膜(Si,N<sub>x</sub>)302を

500 ~ 1500 Å 程度の厚さで形成する。形成温度は 700 ~ 800 °C 程度である。 $\text{NH}_3$  ガスも、 $\text{NCl}$  ガスと並んで通常入手できる製品は、大抵に水分を含んでいる。水分の多い  $\text{NH}_3$  ガスを原材料に使うと、酸素濃度の多い窒化膜となり、再現性に乏しくなると同時に、その後の  $\text{SiO}_2$  膜との選択エッチングで選択比が取れないという結果を招く。 $\text{NH}_3$  ガスも、少なくとも水分含有量が 0.5ppm 以下のものにする。水分含有量は少ない程度ましいことはいうまでもない。窒化膜 302 の上にさらに PSG 膜 300 を CVD により堆積する。ガス系は、たとえば、 $(\text{N}_2 + \text{SiH}_4 + \text{O}_2 + \text{PH}_3)$  を用いて、300 ~ 450 °C 程度の温度で 2000 ~ 3000 Å 程度の厚さの PSG 膜を CVD により堆積する(第 16 図の工程(e))。2 層のマスク合せ工程を含むフォトリソグラフィー工程により、 $\text{Al}^+$  電極 7 上と、リフレッシュ及び読み出しパルス印加電極上に、As ドープのポリシリコン膜 304 を堆積する。この場合 As ドープのポリシリコン膜を使ってもよい。たとえば、2 回のフォトリソグラ

フィー工程により、エミッタ上は、PSG 膜、 $\text{Si}_3\text{N}_4$  膜、 $\text{SiO}_2$  膜をすべて除去し、リフレッシュおよび読み出しパルス印加電極を設ける部分には下地の  $\text{SiO}_2$  膜を残して、PSG 膜と  $\text{Si}_3\text{N}_4$  膜のみエッチングする。その後、As ドープのポリシリコンを、 $(\text{N}_2 + \text{SiH}_4 + \text{AsH}_3)$  もしくは $(\text{H}_2 + \text{SiH}_4 + \text{AsH}_3)$  ガスで CVD 法により堆積する。堆積温度は 550 °C ~ 700 °C 程度、膜厚は 1000 ~ 2000 Å である。ノンドープのポリシリコンを CVD 法で堆積しておいて、その後 As 又は P を放出してももちろんよい。エミッタとリフレッシュ及び読み出しパルス印加電極上を除いた他の部分のポリシリコン膜をマスク合わせフォトリソグラフィー工程の後エッチングで除去する。さらに、PSG 膜をエッチングすると、リフトオフにより PSG 膜に堆積していたポリシリコンはセルフアライン的に除去されてしまう(第 16 図の工程(f))。ポリシリコン膜のエッチングは $\text{C}_2\text{Cl}_2 - \text{F}_2$ 、 $(\text{CBrF}_3 + \text{Cl}_2)$  等のガス系でエッチングし、 $\text{Si}_3\text{N}_4$  膜は $\text{CH}_4$ 、

$\text{F}_2$  等のガスでエッチングする。

次に、PSG 膜 305 を、すでに述べたようなガス系の CVD 法で堆積した後、マスク合せ工程とエッチング工程とにより、リフレッシュパルス及び読み出しパルス電極用ポリシリコン膜上にコントラクトホールを開ける。こうした状態で、 $\text{Al}, \text{Al}-\text{Si}, \text{Al}-\text{Cu}-\text{Si}$  等の金属を真空蒸着もしくはスパッタによって堆積するか、あるいは

$(\text{CH}_4), \text{A}_2$  や  $\text{A}_2\text{Cl}_2$  を原料ガスとするプラズマ CVD 法、あるいはまた上記原料ガスの  $\text{A}_2-\text{C}$  ボンドや  $\text{A}_2-\text{Cl}$  ボンドを直接光照射により切断する光照射 CVD 法により  $\text{A}_2$  を堆積する。 $(\text{CH}_4), \text{A}_2$  や  $\text{A}_2\text{Cl}_2$  を原料ガスとして上記のような CVD 法を行う場合には、大過剰に水素を流しておく。細くてかつ急峻なコントラクトホールに  $\text{A}_2$  を堆積するには、水分や酸素混入のまったくないクリーン雰囲気の中で 300 ~ 400 °C 程度に基板温度を上げた CVD 法が優れている。第 1 図に示された金属配線 10 のバーナーリングを終えた後、薄膜絶縁膜 306 を CVD 法で

堆積する。308 は、前述した PSG 膜、あるいは CVD 法  $\text{SiO}_2$  膜、あるいは耐水性等を考慮する必要がある場合には、 $(\text{SiH}_4 + \text{NH}_3)$  ガス系のプラズマ CVD 法によって形成した  $\text{Si}_3\text{N}_4$  膜である。 $\text{Si}_3\text{N}_4$  膜中の水素の含有量を低く抑えるためには、 $(\text{SiH}_4 + \text{N}_2)$  ガス系でのプラズマ CVD 法を使用する。

プラズマ CVD 法によるダメージを現象させ形成された  $\text{Si}_3\text{N}_4$  膜の電気的漏泄を大きくし、かつリード電流を小さくするには光 CVD 法による  $\text{Si}_3\text{N}_4$  膜がすぐれている。光 CVD 法には 2通りの方法がある。 $(\text{SiH}_4 + \text{NH}_3 + \text{He})$  ガス系で外端から水銀ランプの 2537 Å の紫外線を照射する方法と、 $(\text{SiH}_4 + \text{NH}_3)$  ガス系に水銀ランプの 1840 Å の紫外線を照射する方法である。いずれも基板温度は 150 ~ 350 °C 程度である。

マスク合せ工程及びエッチング工程により、エミッタ 7 上のポリシリコンに、絶縁膜 305, 306 を貫通したコントラクトホールをリアクティブイオンエッチで開けた後、前述した方法で  $\text{A}_2, \text{A}_2$

-Si, Al - Cu - Si層の金属を堆積する。この場合には、コンタクトホールのアスペクト比が大きいので、CVD法による堆積の方がすぐれている。第1図における金属配線Bのパターニングを終えた後、耐熱バッジーション膜としてのSi, N<sub>x</sub>膜あるいはPSG膜2をCVD法により堆積する(第16図(a))。

この場合も、光CVD法による膜がすぐれている。12は表面のAl, Al-Si等による金属電極である。

本発明の光電変換装置の製法には、実に多様な工程があり、第16図はほんの一例を述べたに過ぎない。

本発明の光電変換装置の重要な点は、p領域6とn-領域5の間及びp領域6とn+領域7の間のリーキ電流を如何に小さく抑えるかにある。n-領域5の品質を良好にして暗電流を少なくすることはもちろんであるが、酸化膜などよりなる分離領域4とn-領域5の界面こそが問題である。第16図では、そのために、あらかじめ分離

領域4の側壁にアモルファスSiを堆積しておいてエビ成長を行う方法を説明した。この場合には、エビ成長中に基板Siからの固相成長でアモルファスSiは単結晶化されるわけである。エビ成長は、850°～1000°C程度と比較的高い温度で行われる。そのため、基板Siからの固相成長によりアモルファスSiが単結晶化される前に、アモルファスSi中に微結晶が成長し始めてしまうことが多く、結晶性を悪くする原因になる。温度が低い方が、固相成長する速度がアモルファスSi中に微結晶が成長し始める速度より相対的にずっと大きくなるから、選択エピタキシャル成長を行う前に、550°C～700°C程度の低温処理で、アモルファスSiを単結晶しておくと、界面の特性は改善される。この時、基板SiとアモルファスSiの間に酸化膜等の層があると固相成長の開始が遅れるため、両者の境界にはそうした層が含まれないような超高純度プロセスが必要である。

アモルファスSiの固相成長には上述したファーナス成長の他に、基板をある程度の温度に保って

おいて フラッシュランプ加熱あるいは赤外線ランプによる、たとえば数秒から数10秒程度のラピッドアニール技術も有効である。こうした技術を使う時には、SiO<sub>2</sub>層側面に堆積するSiは、多結晶でもよい。ただし、非常にクリーンなプロセスで堆積し、多結晶体の結晶粒界に粗面、陥没等の含まれない多結晶Siにしておく必要がある。

こうしたSiO<sub>2</sub>側面のSiが単結晶化された後、Siの焼け成長を行うことになる。

SiO<sub>2</sub>分離領域4と高抵抗n-領域5界面のリーキ電流がどうしても問題になる時は、高抵抗n-領域5のSiO<sub>2</sub>分離領域4に接触する部分だけ、n形の不純物濃度を高くしておくとこのリーキ電流の問題はさけられる。たとえば、分離SiO<sub>2</sub>領域4に接触するn-領域5の0.3～1μm程度の厚さの領域だけ、たとえば1～10×10<sup>19</sup>cm<sup>-3</sup>程度にn形の不純物濃度を高くするのである。この構造は比較的容易に形成できる。基板1上に略々1μm程度熱酸化膜を形成した後、その上にCVD法で堆積するSiO<sub>2</sub>膜をまず所要の厚さだけ、所

定の量のPを含んだSiO<sub>2</sub>膜にしておく。さらにその上にSiO<sub>2</sub>をCVD法で堆積するということで分離領域4を作りしておく。その後の高溫プロセスで分離領域4中にサンドイッチ状に存在する焼け込んだSiO<sub>2</sub>膜から、焼け高抵抗n-領域5中に放出して、界面がもっとも不純物濃度が高いという良好な不純物分布を作る。

すなわち、第17図のような構造に構成するわけである。分離領域4が、3層構造に構成されていて、308は熱酸化膜SiO<sub>2</sub>、309は焼け込んだCVD法SiO<sub>2</sub>膜、301はCVD法SiO<sub>2</sub>膜である。分離領域4に隣接して、n-領域5中の間に、n領域307が、焼け込んだSiO<sub>2</sub>膜309からの放出で形成される。307はセル周辺全部に形成されている。この構造にすると、ベースコレクタ側容量Cbcは大きくなるが、ベースコレクタ側リーキ電流は遮断する。

第16図では、あらかじめ分離用絶縁領域4を作りおいて、選択エピタキシャル成長を行なう例について説明したが、基板上に必要な高抵抗

ルのエピタキシャル成長をしておいてから、分離領域となるべき部分をリアクティブイオンエッチャングによりメッシュ状に切り込んで分離領域を形成する。Uグループ分離技術(A.Hayashita et al. "U-groove isolation technique for high speed bipolar VLSI'S", Tech. Dig. of IEDM, p.62, 1982, 参照)を使って行うこともできる。

本発明に係る光電変換装置は、絶縁物より構成される分離領域に取り囲まれた領域に、その大部分の領域が半導体ウェハ表面に接続するベース領域が浮遊状態になされたバイポーラトランジスタを形成し、浮遊状態になされたベース領域の位置を専用絶縁層を介して前記ベース領域の一端に設けた電極により制御することによって、光情報を光電変換する装置である。高不純物濃度領域よりなるエミッタ領域が、ベース領域の一端に設けられており、このエミッタは水平スキャンパルスにより動作するMOSトランジスタに接続されている。前述した、浮遊ベース領域の…端に専用絶縁層を介して設けられた電極は、水平ラインに接続されている。ウェハ内部に設けられるコレクタは、基板で構成されることもあるし、目的によっては反対面電極高抵抗基板に、各水平ラインごとに分離された高濃度不純物埋込み領域で構成される場合もある。絶縁層を介して設けられた電極で、浮遊ベース領域のリフレッシュを行なう時のパルス電圧に対して、信号を読み出す時の印加バ

ルス電圧は実質的に大きい。実際に、2種類の電圧を持つパルス列を用いてもよいし、ダブルキャバシタ構造で説明したように、リフレッシュ用MOSキャバシタ電極の容積C<sub>ox</sub>にくらべて読み出し用MOSキャバシタ電極の容積C<sub>ox</sub>を大きくしておいてもよい。リフレッシュパルス印加により、逆バイアス状態になされた浮遊ベース領域に光励起されたキャリアを蓄積して光行列に沿ずいた信号を記憶させ、該信号読み出し時には、ベース・エミッタ間が順方向に深くバイアスされるよう読み出し用パルス電圧を印加して、高速度で信号を読み出せるようにしたことが特徴である。こうした特徴を備えていれば、本発明の光電変換装置はいかなる構造で実現してもよく、前記の実施例に述べられた構造に限定されることはもちろんである。

たとえば、前記の実施例で説明した構造と構造がまったく反転した構造でも、もちろん同様である。ただし、この時には印加電圧の極性を完全に反転する必要がある。荷電層がまったく反転し

た構造では、領域はドレインになる。すなわち、ベースを構成する不純物はnやPになる。nやPを含む領域の表面を酸化すると、AsやPはSi/SiO<sub>x</sub>界面のSi側にバイルアップする。すなわち、ベース内部に表面から内部に向う強いドリフト境界が生じて、光励起されたホールはただちにベースからコレクタ側に抜け、ベースにはエレクトロンが効率よく蓄積される。

ベースがドレインの場合には、通常使われる不純物はボロンである。ボロンを含むドレイン表面を酸化すると、ボロンは酸化膜中に取り込まれるため、Si/SiO<sub>x</sub>界面近傍のSi中におけるボロン濃度はやや内部のボロン濃度より低くなる。この深さは、酸化膜厚にもよるが、通常数100 Åである。この界面近傍には、エレクトロンに対する逆ドリフト電界が生じ、この領域に光励起されたエレクトロンは、表面に集められる方向にある。このままだと、この逆ドリフト電界を生じている領域は不感領域になるが、表面に沿った一端にn+領域が、本発明の光電変換装置では存在している

ため、P領域のSi/SiO<sub>2</sub>界面に集まつたエレクトロンは、このN<sup>-</sup>領域に再結合される前に流れ込む。そのために、たとえボロンがSi/SiO<sub>2</sub>界面近傍で減少していく、逆ドリフト電界が生じるような領域が存在しても、ほとんど不感領域にはならない。むしろ、こうした領域がSi/SiO<sub>2</sub>界面に存在すると、蓄積されたホールをSi/SiO<sub>2</sub>界面から引き離して内部に存在させるようにするために、ホールが界面で消滅する効率が無くなり、P層のベースにおけるホール蓄積効率が良好となり、さわめて望ましい。

以上説明してきたように、本発明に光電変換装置は、浮遊状態になされた開封電極領域であるベース領域に光により動起されたキャリアを蓄積するものである。すなわち、Base Store Image Sensor と呼ばれるべき装置であり、BASIS と略称する。

本発明の光電変換装置は、1個のトランジスタで1画面を構成できるため高密度化がさわめて容易であり、同時にその構造からブルーミング、ス

ミアが少なく、かつ高感度である。そのダイナミックレンジは広く取れ、内部増幅機能を有するため配線容量によらず大きな信号電圧を発生するため低雑音でかつ周波回路が容易になるという特徴を有している。例えば将来の高品質固体摄像装置として、その工業的価値はさわめて高い。

なお、本発明に係る光電変換装置は以上述べた固体摄像装置の外に、たとえば、画像入力装置、ファクシミリ、ワークステーション、デジタル複写機、ワープロ等の画像入力装置、OCR、バーコード読み取り装置、カメラ、ビデオカメラ、8ミリカメラ等のオートフォーカス用の光電変換装置等にも応用できる。

第8図(b)に、過渡的リフレッシュ動作、蓄積動作、読み出し動作、そして過渡的リフレッシュ動作と巡回するときの、エミッタ、ベース、コレクタ各層における電位レベルを示したものである。各部位の電位レベルは外部的に見た電位であり、内部のボテンシャルレベルとは一様一致していない所もある。

説明を簡単にするためにエミッタ・ベース間の駆動電位は除いてある。したがって、第8図(b)でエミッタとベースが同一レベルで表される時には、実際にはエミッタ・ベース間に

$$\begin{array}{c} K \quad T \\ \hline q & I_n & N_p \cdot N_A \\ & & n_i^+ \end{array}$$

で与えられる駆動電位が存在するわけである。

第8図(b)において、状態①、②はリフレッシュ動作を、状態③は蓄積動作を、状態④、⑤は読み出し動作を、状態⑥はエミッタを接地したときの動作状態をそれぞれ示す。また電位レベルは0ボルトを境にして上側が負、下側が正電位をそれぞれ示す。状態⑥になる前のベース電位はゼロボルトであったとし、またコレクタ電位は状態⑥か

ら今まで全て正電位にバイアスされているものとする。

上記の一連の動作を第8図(a)のタイミング図と共に説明する。

第8図(a)の波形6-7のごとく、時刻t<sub>1</sub>において、端子3-7に正電位、すなわちリフレッシュ電位V<sub>rf</sub>が印加されると、第8図(b)の状態⑥に電位200のごとくベースには、すでに説明した様に、

$$-\frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} V_{rf}$$

なる分圧がかかる。この電位は時刻t<sub>1</sub>からt<sub>2</sub>の間に、次第にゼロ電位に向かって減少していく。時刻t<sub>2</sub>では、第8図(b)の点線で示した電位201となる。この電位は前に説明した様に、過渡的リフレッシュモードにおいて、ベースに残る電位V<sub>b</sub>である。時刻t<sub>2</sub>において、波形6-7のごとく、リフレッシュ電位V<sub>rf</sub>がゼロ電位にもどる瞬間に、ベースには、

$$-\frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} V_{rf}$$

なる電圧が高と同様、状態分類により発生するので、ベースは残っていた電圧 $V_b$ と新しく発生した電圧との加算された電圧となる。すなわち、状態において示されるベース電位202であり、これは、

$$V_b - \frac{C_{os}}{C_{os} + C_{be} + C_{bc}} V_{bh}$$

で与えられる。

この様なエミッタに対して逆バイアス状態において光が入射してくると、この光により発生したホールがベース領域に蓄積されるので、状態のごとく、入射してくる光の強さに応じて、ベース電位202はベース電位203、203'、203''のごとく次第に正電位に向って変化する。この光により発生する電圧を $V_p$ とする。

次いで被膜69のごとく、水平ラインに垂直シフトレジスタより電圧、すなわち読み出し電圧 $V_p$ が印加されると、ベースには

$$\frac{C_{os}}{C_{os} + C_{be} + C_{bc}} V_p$$

に設定した時読み出しパルス幅が1~2μs位のとき、約50~100mV程度であり、この電圧を $V_p$ とすると、エミッタ電位207、207'、207''は前の例の様に0.1μs以上上のパルス幅であれば直線性は十分確保されるので、それぞれ $V_p + V_b$ 、 $V_p' + V_b$ 、 $V_p'' + V_b$ となる。

ある一定の読み出し時間の後、被膜69のごとく読み出し電圧 $V_p$ がゼロ電位になった時点で、ベースには

$$- \frac{C_{os}}{C_{os} + C_{be} + C_{bc}} \cdot V_{bh}$$

なる電圧が加算されるので、状態ごとくベース電位は、読み出しパルスが印加される前の状態、すなわち逆バイアス状態になり、エミッタの電位変化は停止する。すなわち、このときのベース電位208は、

$$V_b - \frac{C_{os}}{C_{os} + C_{be} + C_{bc}} \cdot V_{bh}$$

ベース電位209、209'、209''はそれぞれ、

なる電圧が加算されるので、光がまったく照射されないとときのベース電位204は

$$V_b + \frac{C_{os}}{C_{os} + C_{be} + C_{bc}} (V_b - V_{bh})$$

となる。このときの電位204は前に説明したことく、エミッタに対して0.5~0.6V程度順方向にバイアス状態になる様に、設定される。また、ベース電位205、205'、205''はそれぞれ

$$V_b + V_p + \frac{C_{os} (V_b - V_{bh})}{C_{os} + C_{be} + C_{bc}}$$

$$V_b + V_p' + \frac{C_{os} (V_b - V_{bh})}{C_{os} + C_{be} + C_{bc}}$$

$$V_b + V_p'' + \frac{C_{os} (V_b - V_{bh})}{C_{os} + C_{be} + C_{bc}}$$

で与えられる。

ベース電位が、この様に、エミッタに対して、順方向バイアスされると、エミッタ側からエレクトロンの注入がおこり、エミッタ電位は次第に正電位方向に動いていくことになる。光が照射されなかったときのベース電位204に対するエミッタ電位206は、順方向バイアスを0.5~0.6V

$$V_b + V_p - \frac{C_{os}}{C_{os} + C_{be} + C_{bc}} \cdot V_{bh}$$

$$V_b + V_p' - \frac{C_{os}}{C_{os} + C_{be} + C_{bc}} \cdot V_{bh}$$

$$V_b + V_p'' - \frac{C_{os}}{C_{os} + C_{be} + C_{bc}} \cdot V_{bh}$$

で与えられる。これは読みしが始まる前の状態とまったく同じである。

この状態において、エミッタ側の光情報取りが外側へ読み出されるわけである。この読みしが終った後、各スイッチングMOSトランジスタ48、48'、48''が導通状態となり、エミッタが接続されて状態ごとく、エミッタはゼロ電位となる。これで、リフレッシュ動作、蓄積動作、読み出し動作と一通り、次に状態①にもどるわけであるが、この時、最初にリフレッシュ動作に入る前は、ベース電位がゼロ電位からスタートしたのに対して、一通りしてきた後は、ベース電位が

$$V_b - \frac{C_{os}}{C_{os} + C_{be} + C_{bc}} \cdot V_{bh}$$

およびそれに、それぞれ $V_p$ 、 $V_p'$ 、 $V_p''$ が

加算された電位に変化することになる。したがって、この状態で、リフレッシュ電圧  $V_{sh}$  が印加されたとしてもベース電位はそれぞれ  $V_b$  ,  $V_b + V_p$  ,  $V_b + V_p'$  ,  $V_b + V_p''$  になるだけであり、これでは、ベースに、十分な漏方向バイアスがかからず、光の強くあたった時は漏方向バイアス差が大きいので光情報は消えるものの、光の弱い部分の情報は消えずに残るということが生ずることは前回に示したリフレッシュ動作の計算例から見てもあきらかである。

この様な現象は過渡的リフレッシュモード特のものであり、完全リフレッシュモードでは、ベース電位が必ずゼロ電位になるまで長いリフレッシュ時間をとるために、この様な問題は生じない。

高速リフレッシュが可能な過渡的リフレッシュモードを使い、かつこの様な不都合の生じない方法について以下に述べる。

この不都合は、リフレッシュパルスが印加された時、および、読み出しパルスが印加された時に、パルスの先端および後端において正および負の斜段分離によって生じた同一の電圧がベース領域にかかることにより生ずる現象であるから、ベース領域に負電圧がかかる時、これを何らかの方法で、一定の値にクランプすることによりこれは解決される。

第18図にこれを達成するための一実施例を示す。第18図(a)はセンサセルの断面図を、第18図(b)は(a)の等価回路をそれぞれ示している。

第18図(a)では、すでに説明した第1図の基本のセンサセルにおいて、センサセルと分離するための SiO<sub>2</sub> 領域 250 , p+ n+ 接合ダイオードを形成している p+ 領域 251 および n+ 領域 252 が余分に付加され、この n+ 領域 252

は、アルミニウム配線 253 によりセンサセルのベース領域 6 と接続されており、また、p+ 領域はアルミニウム配線 254 により外部電源と接続される構造をしている。他の部分は、第1図に示した基本のセンサセルとまったく同じである。第18図(b)の等価回路では、p+ 領域 251 および n+ 領域 252 よりなる p+ n+ 接合ダイオード 255 が、そのアノード側 (p+ 領域側) が外部電源と接続されるための配線 254 につながれ、そのカソード側 (n+ 領域側) が基本光センサセルのベース側に接続されている。他は第1図に示した基本光センサセルの等価回路と同じである。

この構成によれば、第8図(b)の状態において、リフレッシュパルスの後端で、ベース領域の負電位 202 が

$$V_b = \frac{C_{ot}}{C_{ox} + C_{be} + C_{bc}} V_{on}$$

となったものが、配線 254 より供給される電圧  $-V_c$  にされることがある。すなわち、クランプ電圧  $-V_c$  より電位が低くなろうとするとダイ

オード 255 が導通して電流が流れ、最終的にクランプ電圧  $-V_c$  にクランプされるわけである。

このときのクランプ電圧  $-V_c$  は、過渡的リフレッシュモード動作におけるリフレッシュの速度、読み出し動作における正方向バイアス、光信号のダイナミックレンジ等を考慮して適切な値に設定される。

クランプ電圧  $-V_c$  は適宜設定されるが、n+ 領域 252 及び p+ 251 の不純物濃度を調整することによって所望の電圧  $-V_c$  は得られる。

以上に示した、クランプ用 n+ 接合ダイオードを付加した光センサセルによれば、過渡的リフレッシュモード動作において生ずる問題点を確実に解決することができ、高速リフレッシュが可能な構造電子を提供することが可能である。

第18図に示した実施例においては、MOSキャパシタ電極 9、エミッタ 7 からの配線 8、ベース 6 と n+ 接合ダイオードの n+ 領域 252 を接続するための配線 253、p+ 接合ダイオード

ドの p<sup>+</sup> 第 251 へ電圧を供給するための配線 254 等を説明の都合上、全て同一の断面内に書いており、光の入射する窓がきわめて少ない房き力をしており、実際には、同一の光センサセルの中の他の部分へそれぞれを、入射する窓の形状、配線の都合等を考慮して配設することが可能である。

## 4. 図面の簡単な説明

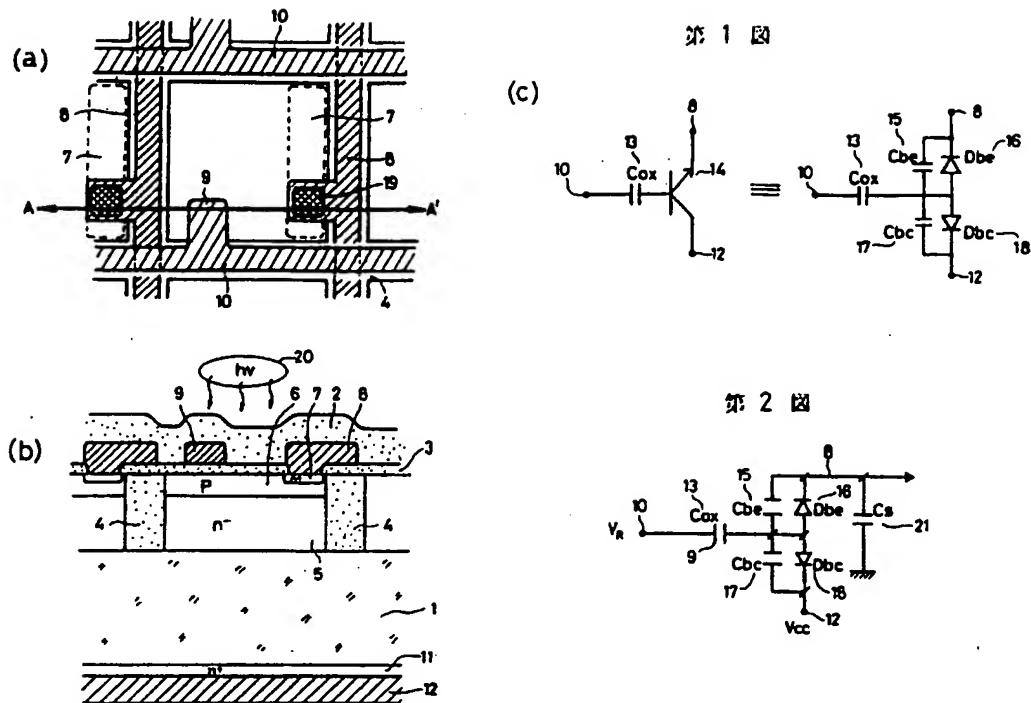
第 1 図から第 6 図までは、本発明の一実施例に係る光センサセルの主要構造及び基本動作を説明するための図である。第 1 図(a)は平面図、(b)は断面図、(c)は等価回路図であり、第 2 図は読み出し動作時の等価回路図、第 3 図は読み出し時間と読み出し電圧との関係を示すグラフ、第 4 図(a)は蓄積電圧と読み出し時間との関係を、第 4 図(b)はバイアス電圧と読み出し時間との関係をそれぞれ示すグラフ、第 5 図はリフレッシュ動作時の等価回路図、第 6 図(a)～(c)はリフレッシュ時間とベース電位との関係を示すグラフである。第 7 図から第 10 図までは、第 1 図に示す光センサセルを用いた光電変換装置の説明図であり、第 7 図は回路図、第 8 図(a)はパルスタイミング図、第 8 図(b)は各動作時の電位分布を示すグラフである。第 9 図は出力信号に関する等価回路図、第 10 図は導通した瞬間からの出力電圧を時間との関係で示すグラフである。第 11、12 及び 13 図は他の光電変換装置を示す回路図である。第

14 図は本発明の実施例に係る光センサセルの变形例を説明するための平面図である。第 15 図は、第 14 図に示す光センサセルを用いた光電変換装置の回路図である。第 16 図及び 17 図は本発明の光電変換装置の一製造方法例を示すための断面図である。第 18 図は本発明の実施例に係る光センサセルを示し、(a)は断面図、(b)はその等価回路図である。

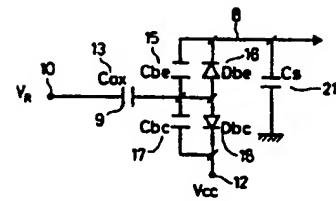
1…シリコン基板、2…P S G 膜、3…絶縁強化膜、4…裏子分離領域、5…n<sup>-</sup> 窓域（コレクタ領域）、6…p 窓域（ベース領域）、7、7'…n<sup>-</sup> 窓域（エミッタ領域）、8…配線、9…電極、10…配線、11…n<sup>-</sup> 窓域、12…電極、13…コンデンサ、14…バイポーラトランジスタ、15、17…接合容量、16、18…ダイオード、19、19'…コンタクト部、20…光、28…垂直ライン、30…光センサセル、31…水平ライン、32…垂直シフトレジスタ、33、35…MOSトランジスタ、36、37…

端子、38…垂直ライン、39…水平シフトレジスタ、40…MOSトランジスタ、41…出力ライン、42…MOSトランジスタ、43…端子、44…トランジスタ、44'、45…負荷抵抗、46…端子、47…端子、48…MOSトランジスタ、49…端子、61、62、63…状態、64…コレクタ電位、67…放形、80、81…容量、82、83…抵抗、84…電流源、100、101、102…水平シフトレジスタ、111、112…出力ライン、138…垂直ライン、140…MOSトランジスタ、148…MOSトランジスタ、150、150'…MOSコンデンサ、152、152'…光センサセル、202、203、205…ベース電位、220…p<sup>+</sup> 窓域、222、225…配線、251…p<sup>+</sup> 窓域、252 n<sup>-</sup> 窓域、253…配線、300…アモルファスシリコン、302…氧化膜、303…P S G 膜、304…ポリシリコン、305…P S G 膜、306…瞬間絶縁膜。

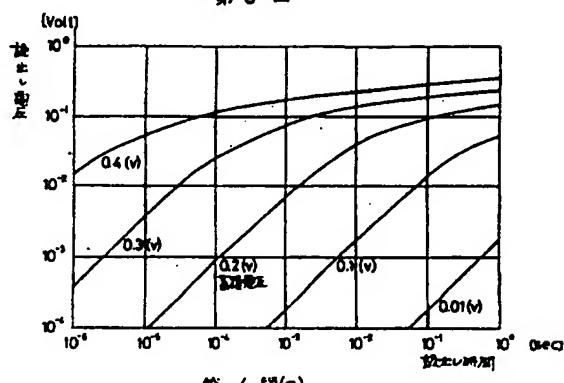
第1図



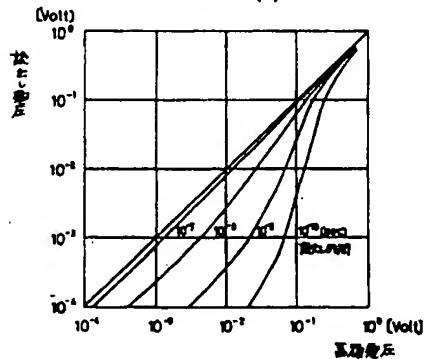
第2図



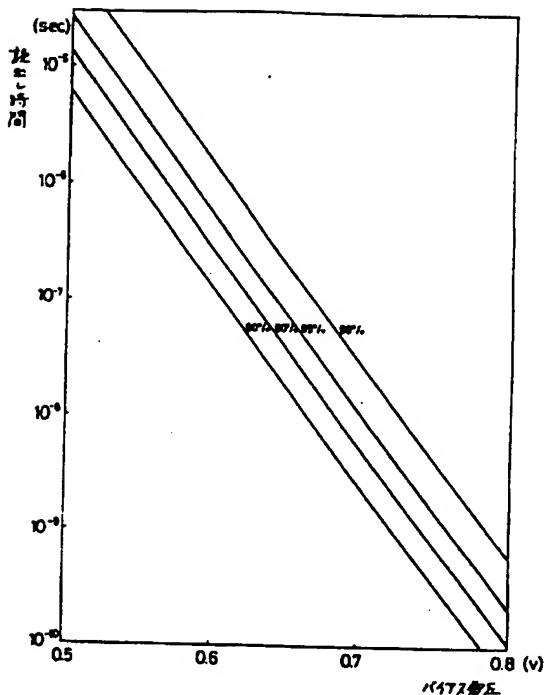
第3図



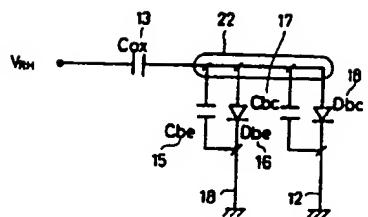
第4図(a)



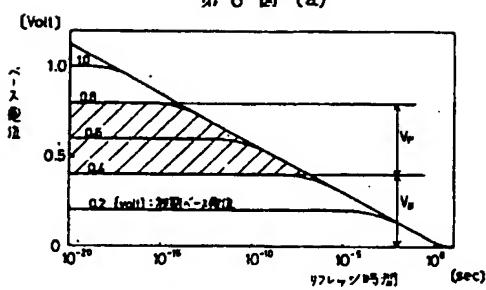
第4図 (b)



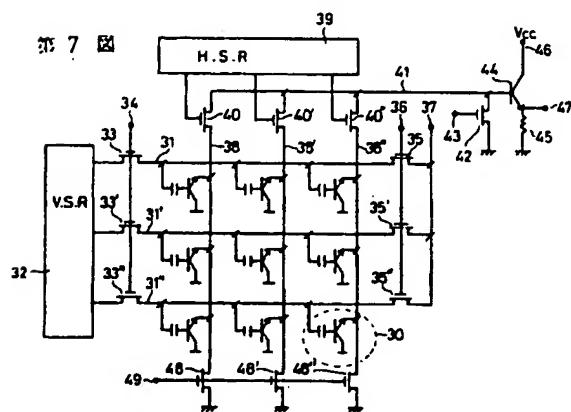
第5図



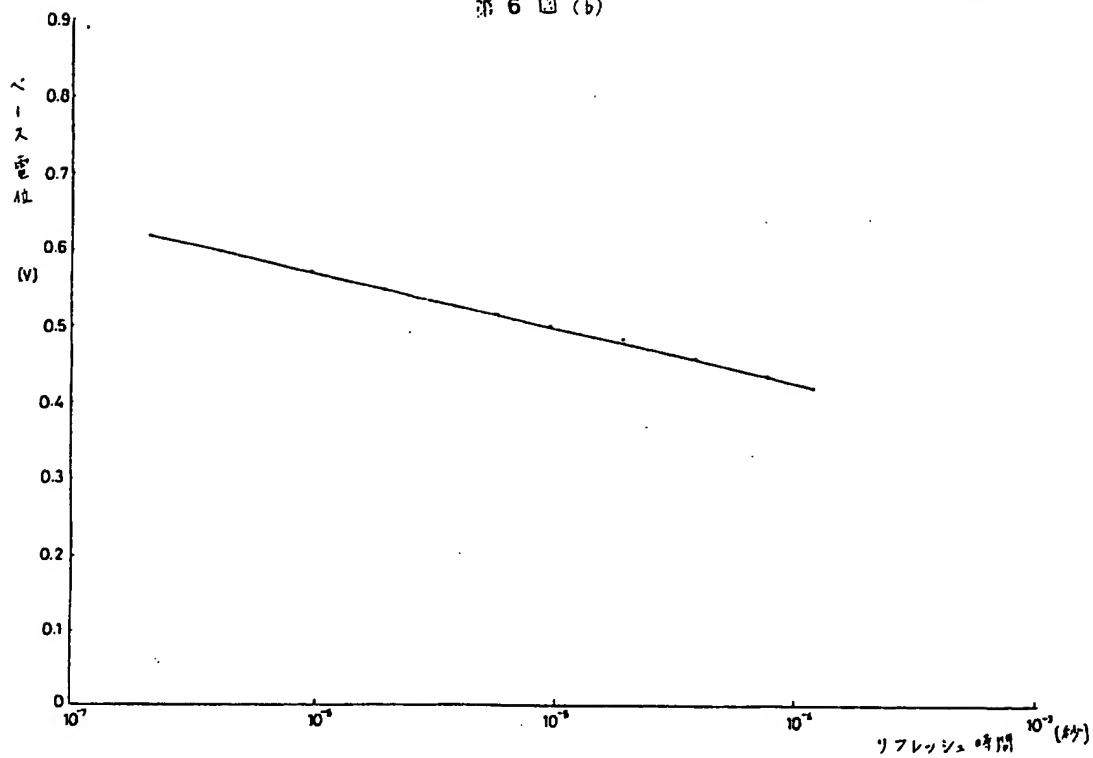
第6図 (a)



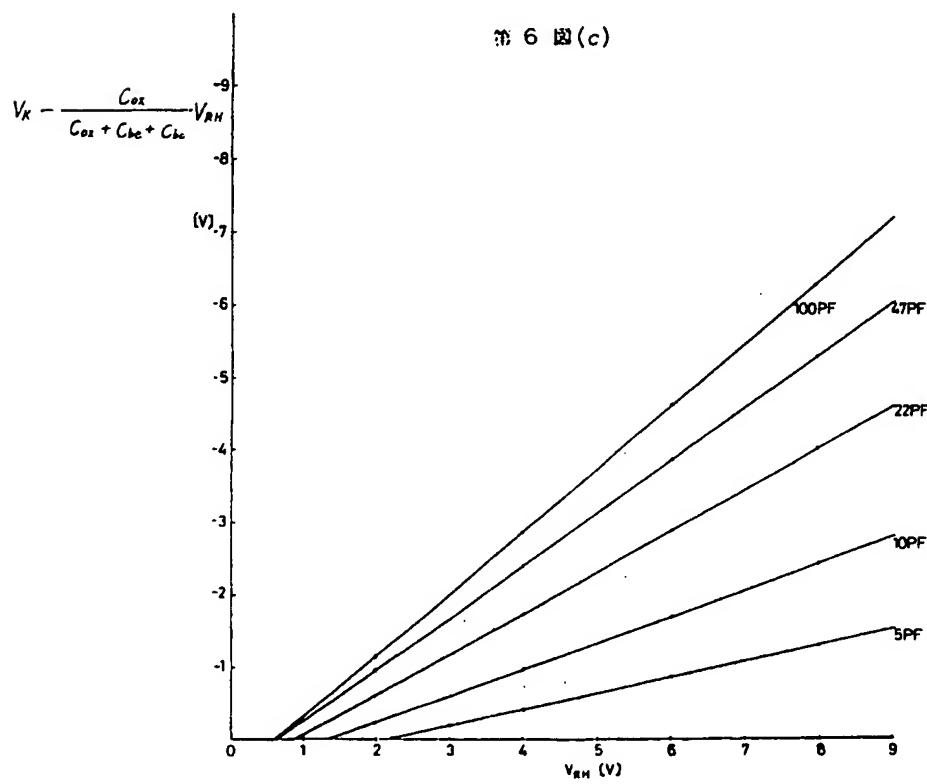
第7図



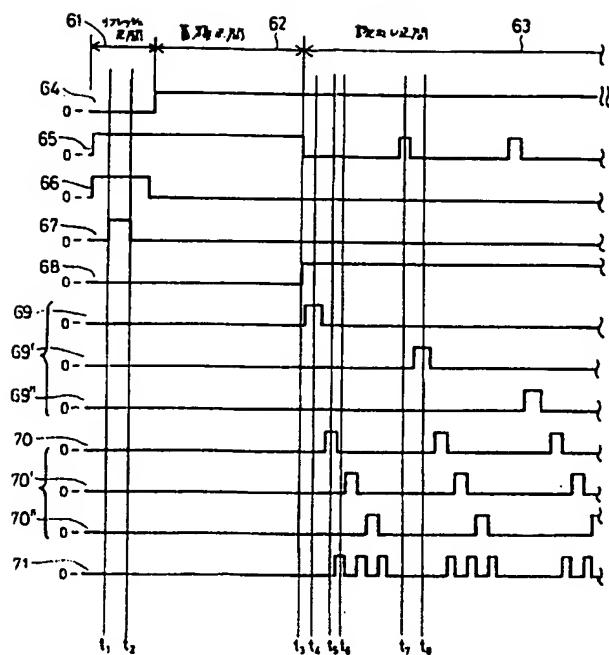
第6図(b)



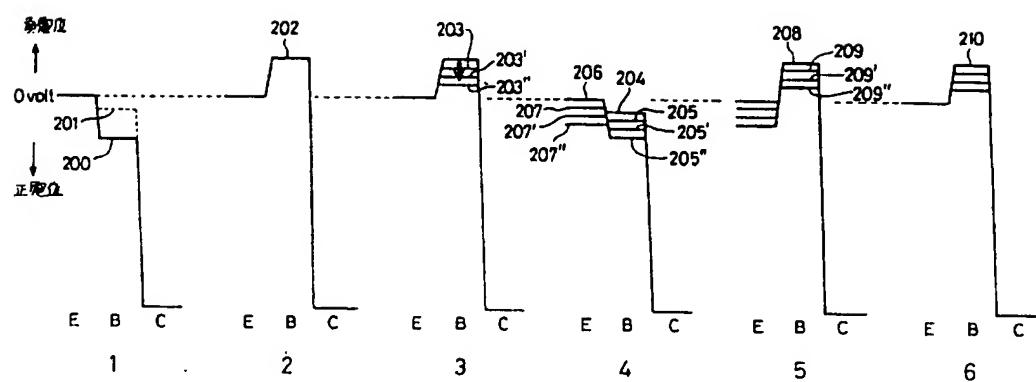
第6図(c)



第8図(a)

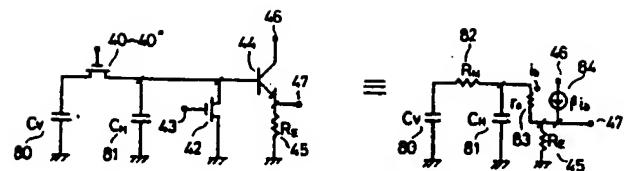


第8図(b)

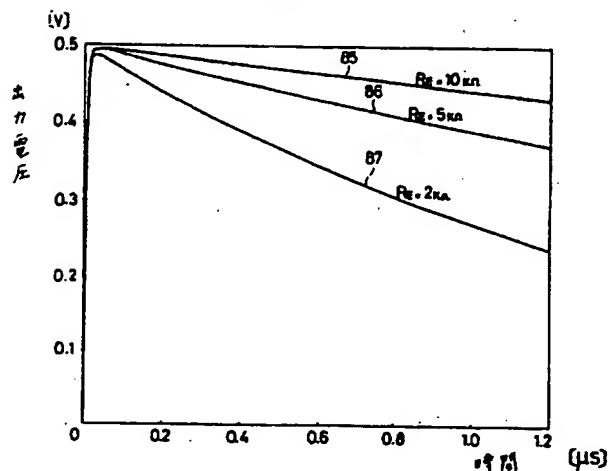


第9図

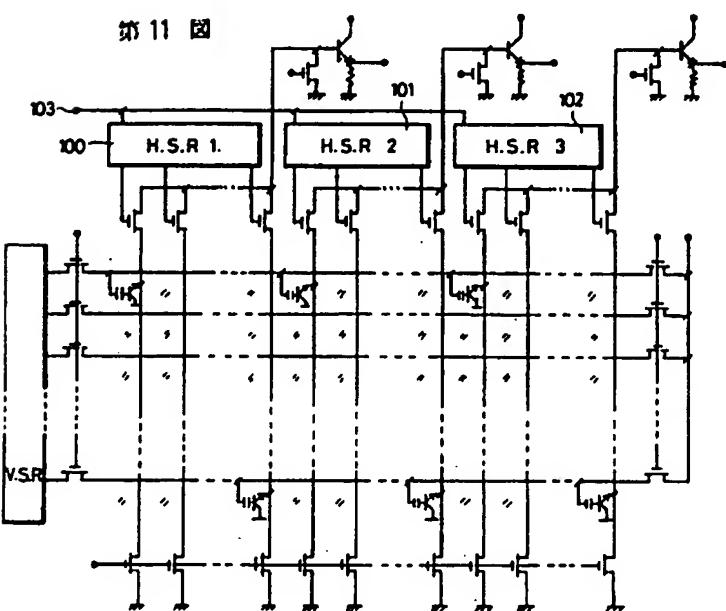
特許昭60-12761 (32)



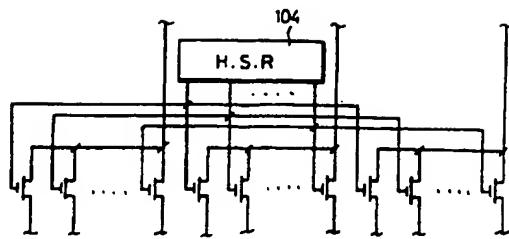
第10図



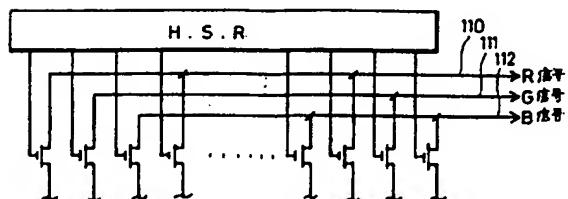
第11図



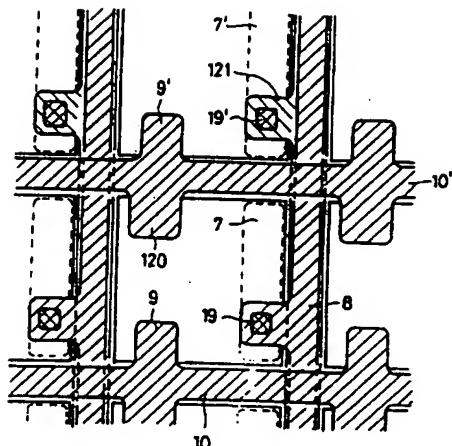
第12回



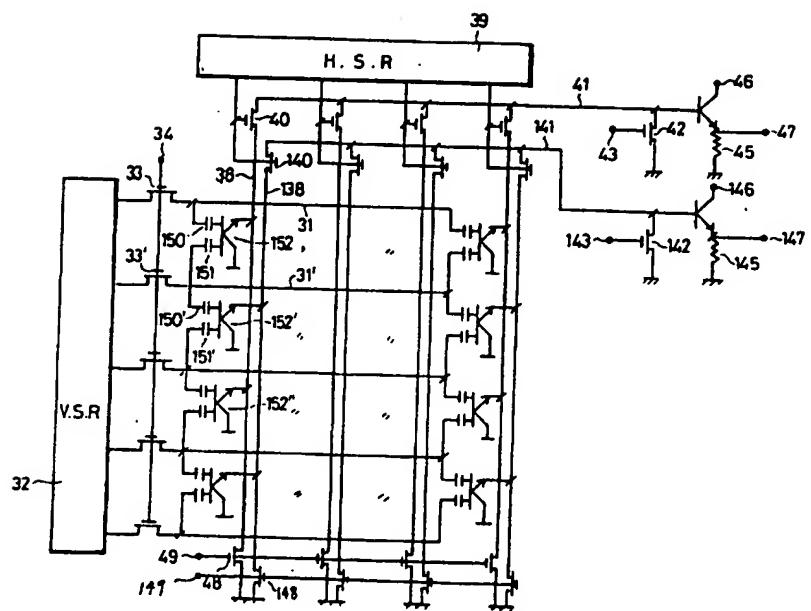
第13図



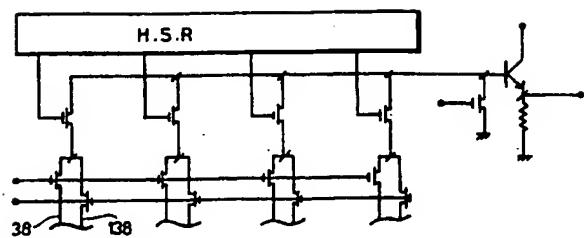
第14圖



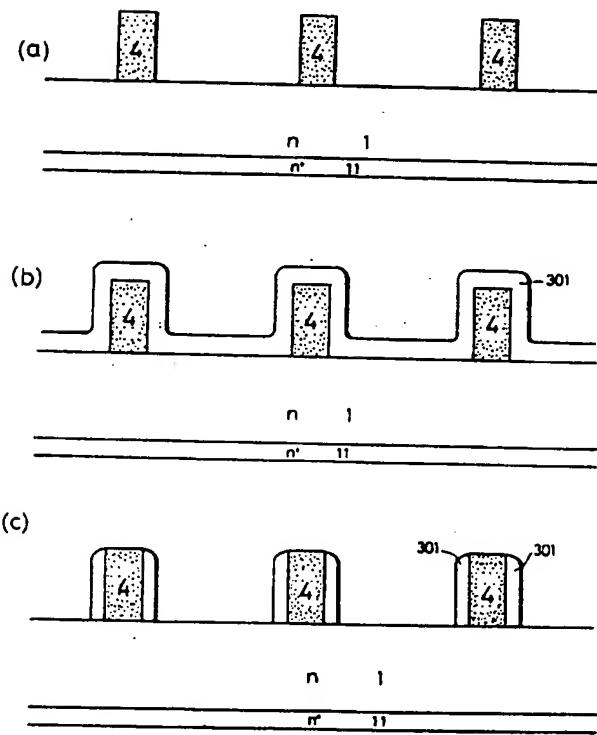
第 15 図(a)



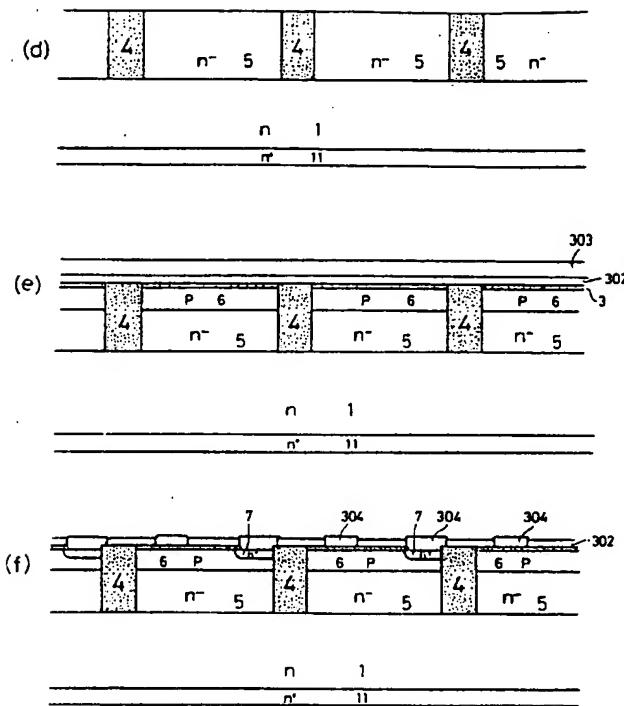
第15図(b)



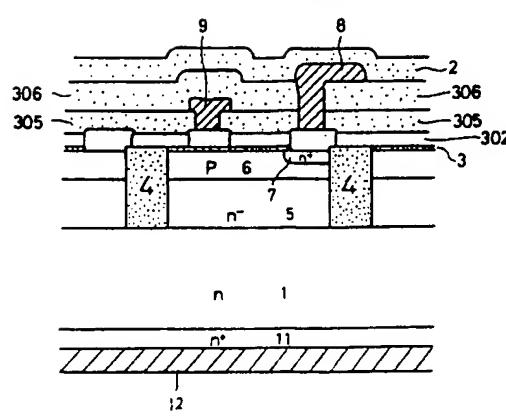
第16図



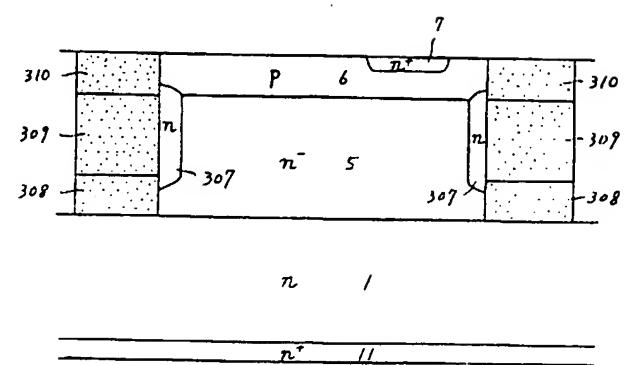
第 16 図



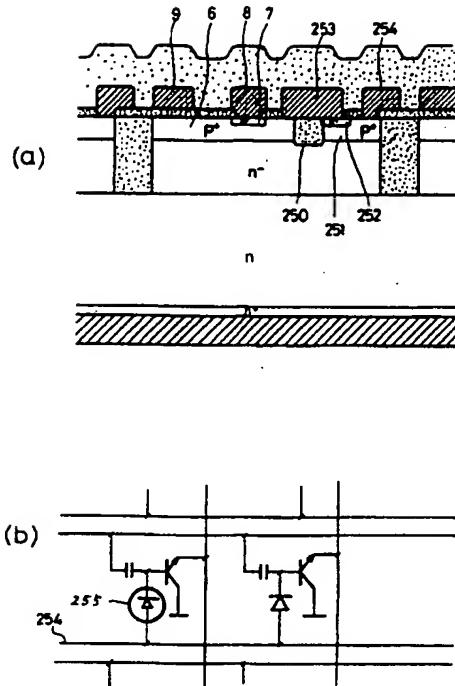
第 16 図 (g)



第 17 図



第18図



## 手続補正書

昭和59年 5月23日

特許庁長官 若杉和夫 殿

## 1. 事件の表示

特願昭58-120753号

## 2. 発明の名称

光電変換装置

## 3. 補正をする者

本件との関係 特許出願人

氏名 大見忠弘

## 4. 代理人

住所 東京都渋谷区虎ノ門五丁目13番1号虎ノ門400棟ビル

氏名 (6538) 弁理士 山下謙

## 5. 補正の対象

明細書の発明の詳細な説明の欄

## 6. 補正の内容

(1) 明細書第19頁第12行の「 $10 \text{ cm}^{-1}$ 」を  
「 $10^{15} \text{ cm}^{-3}$ 」と補正する。

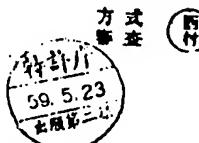
(2) 明細書第22頁第8行の

$$\left[ -V_B + \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V = 0 \right]$$

を

$$\left[ -V_B + \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_B = 0 \right]$$

と補正する。

(3) 明細書第34頁第14行の「 $10 \text{ [sec]}$ 」を  
「 $10^{-6} \text{ [sec]}$ 」と補正する。(4) 明細書第38頁下から1行目の「電圧V」を  
「電圧 $V_A$ 」と補正する。(5) 明細書第41頁下から5行目～47目の「、バッファMOS  
トランジスタ $33, 33^\circ, 33^\circ$ 」を削除する。(6) 明細書第45頁下から2行目の「はクリップ」を  
「クリップ」と補正する。

- (7) 明細書第53頁第8行の「本質的に」の前に「ど」を挿入する。
- (8) 明細書第53頁下から7行目の「途中」の後に「に」を挿入する。
- (9) 明細書第64頁第1行の「エミック7，は」を「エミック7，7'は」と補正する。
- (10) 明細書第64頁第8行の「エミックはコンタクトホール1'を」を「エミック7はコンタクトホール1'を」と補正する。
- (11) 明細書第64頁下から8行目の「水平ライン3'に」を「水平ライン3'1'に」と補正する。
- (12) 明細書第64頁下から8行目の「セル15'の」を「セル15'2'の」と補正する。
- (13) 明細書第64頁下から8行目の「MOSキャバシタ15'は」を「MOSキャバシタ15'0'は」と補正する。
- (14) 明細書第64頁下から5行目の「水平ライン3'に」を「水平ライン3'1'に」と補正する。
- (15) 明細書第64頁下から3行目の「光センサセル15'の」を「光センサセル15'2'の」と補正する。
- (16) 明細書第64頁下から2行目の「光センサセル15'の」を「光センサセル15'2'の」と補正する。
- (17) 明細書第66頁第6行～7行および第12行の「水平ライン3'に」を「水平ライン3'1'に」と補正する。
- (18) 明細書第66頁第12行～13行の「MOSキャバシタ15'を通じて光センサセル15'の」を「MOSキャバシタ15'0'を通じて光センサセル15'2'の」と補正する。
- (19) 明細書第66頁下から2行目および1行目と、第67頁第8行目の「光センサセル」を「光センサセル」に補正する。
- (20) 明細書第68頁下から5行目の「コレクター」を「コレクタ」と補正する。
- (21) 明細書第68頁下から4行目および下から3行日の「n+埋込領域」を「n+埋込領域」と補正する。
- (22) 明細書第77頁第7行の「(c),」を「(c),」と補正する。
- (23) 明細書第78頁第1行の  

$$C_{bs} = A_s \cdot \left( \frac{q \cdot N}{2 \cdot V_{bi}} \right)$$

$$C_{bs} = A_s \cdot \left( \frac{q \cdot N_A}{2 \cdot V_{bi}} \right)$$
と補正する。

(24) 明細書第78頁第4行の「p+領域251」と補正する。

$$V_{bi} = \frac{k \cdot T}{q} \ln \frac{N \cdot N}{n_s^2}$$

$$V_{bi} = \frac{k \cdot T}{q} \ln \frac{N_0 \cdot N_A}{n_s^2}$$

と補正する。

(25) 明細書第78頁第8行の「N'はエミッタの不純物濃度、N'はベース」を「N'0'はエミッタの不純物濃度、N'A'はベース」と補正する。

(26) 明細書第78頁第8行および9行の「N'」を「N'A'」と補正する。

(27) 明細書第86頁第10行の「SiO2'309は」を「SiO2'309は」と補正する。

(28) 明細書第91頁第12行の「本発明に」を「本発明の」と補正する。

(29) 明細書第96頁下から4行目の「Gロン」を「トロン」と補正する。

(30) 明細書第97頁第8行の「Vp+Vs+」を「Vp+Vs」と補正する。

(31) 明細書第102頁第10行の「p+251」を